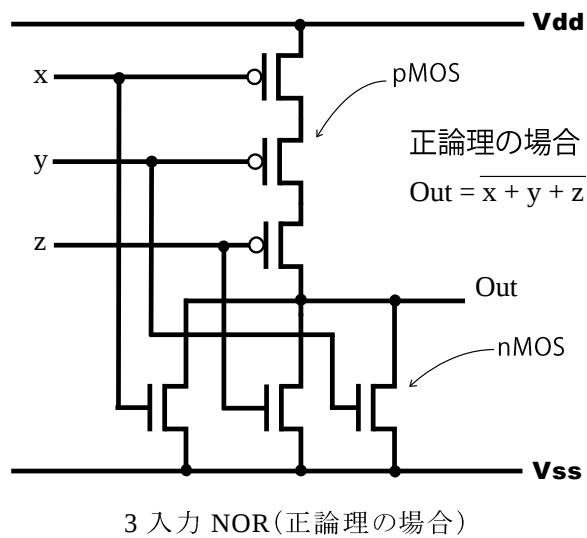


【4】=====

各ゲート端子に入力が接続された3つのPMOSを直列に接続し、各ゲート端子に入力が接続された3つのNMOSを並列に接続し、それらを下図のようにVddとVssの間に接続して、これらのPMOSとNMOSの間から出力を取る。



そうすると、3つの入力全てが低い電位(Vss)のとき、出力 Out は Vdd に接続し、少なくとも1つの入力が高い電位(Vdd)のとき、出力 Out は Vss に接続する。従って、この回路(CMOS回路)の動作は下の表のようになる。この回路は、正論理で考えれば、少なくとも1つの入力が1(High)のとき、0(Low)となるから、NORゲートになっている。

x	y	z	Out
Low	Low	Low	High
Low	Low	High	Low
Low	High	Low	Low
Low	High	High	Low
High	Low	Low	Low
High	Low	High	Low
High	High	Low	Low
High	High	High	Low