

【3】 =====

図 8.3(b) の回路の一番左の列にある PMOS (Tp1) と 2 つの NMOS (Tn1, Tn2) に着目すると、これらのスイッチの導通・遮断を調べれば、Q の電位が分かる。Q の電位が分かれば、一番右の列の PMOS (Tp4) と NMOS (Tn5) の導通・遮断を調べることにより、 $\bar{Q}$  の電位が分かる。PMOS (Tp4) と NMOS (Tn5) から、 $\bar{Q}$  が Q と逆の電位になることが分かる。

中央の列において、ゲート端子が R に接続している PMOS (Tp2) は R が Low でなければ導通せず、ゲート端子が  $\bar{S}$  に接続している NMOS (Tn4) は  $\bar{S}$  が High (S が Low) でなければ導通しない。従って、中央の列の 2 つの PMOS (Tp2, Tp3) と 2 つの NMOS (Tn3, Tn4) によって Q の電位が決定されるのは、S および R が共に Low のときだけである。

これらを考慮すると、次のことが分かる。

- (1) S が High, すなわち  $\bar{S}$  が Low であれば、一番左にある PMOS (Tp1) が導通するので、Q が High になる。Q が High になると、 $\bar{Q}$  は Low になる。
- (2) S が Low ( $\bar{S}$  が High) のとき、R が High であれば、一番左にある 2 つの NMOS (Tn1, Tn2) が導通するので、Q が Low になる。Q が Low になると、 $\bar{Q}$  は High になる。
- (3) S が Low ( $\bar{S}$  が High) のとき、R が Low であれば、一番左にある PMOS (Tp1) と 2 つの NMOS (Tn1, Tn2) の下の方が遮断しているので、一番左の列にある一つの PMOS (Tp1) と 2 つの NMOS (Tn1, Tn2) では、Q の値は決定しない。このときは、Q と  $\bar{Q}$  が逆の値になっているならば、真ん中の列と右の列の PMOS (Tp3, Tp4) および NMOS (Tn3, Tn5) から、Q と  $\bar{Q}$  の値が変化せず、現状の値が保持されることが分かる。

以上より、この回路は、S が High であれば、Q が High になり、S が Low のとき R が High であれば、Q が Low になる回路で、S および R が共に Low であれば、現状の Q の値を保持する回路であることが分かる。このような回路は SR ラッチ (SR Latch) と呼ばれ、D フリップフロップを構成する際に用いられている。

なお、init が High ( $\overline{\text{init}}$  が Low) であれば、一番右にある NMOS (Tn6) は遮断しているので、動作には影響しないが、init が Low ( $\overline{\text{init}}$  が High) であれば、Q が Low に初期化されることが分かる。このとき、 $\bar{Q}$  は High になる。