

【5】

(i) =====

制御入力 (load, enable) = (0, 1) のとき、各桁 $i(0 \leq i \leq 3)$ において、次状態の値 q_i' (すなわち、D フリップフロップへの入力 d_i) および桁上げ c_{i+1} をどのように変化させれば所望の動作をするかを考えると、カウントアップは、6 章演習問題【4】から分かるように、 $c_0 = 1$ としておけば、各桁 $i(0 \leq i \leq 3)$ において、 $(c_{i+1} d_i)_2 = (q_i)_2 + (c_i)_2$ なる加算をすればよいから、半加算器で実現できる。カウントダウンでは、 $(q_3 q_2 q_1 q_0)_2$ から $(0 0 0 1)_2$ を引かねばならないが、これは、 $(0 0 0 1)_2$ の 2 の補数 $(1 1 1 1)_2$ を加算すればよい。従って、 $c_0 = 0$ としておけば、各桁 $i(0 \leq i \leq 3)$ において、 $(c_{i+1} d_i)_2 = (q_i)_2 + (1)_2 + (c_i)_2$ なる加算をすればよい。しかし、この方法は、通常に加減算器を設計する場合には適切であるが、この問題のように引き算する数が常に 1 の場合、引き算を直接実行する方が回路が簡単になる。そこで、問題にあるように、半加減算器を設計する。

1 ビットの減算 $(q_i)_2 - (c_i)_2$ について考えると、 $(1)_2 - (0)_2 = (1)_2$ 、 $(1)_2 - (1)_2 = (0)_2$ 、 $(0)_2 - (0)_2 = (0)_2$ であり、 $(0)_2 - (1)_2$ の場合にのみ、 $(0)_2 - (1)_2 = (1)_2$ として、上位の桁から $(1)_2$ を引くことになる。従って、半加減算器の動作は、下の表のようになる。

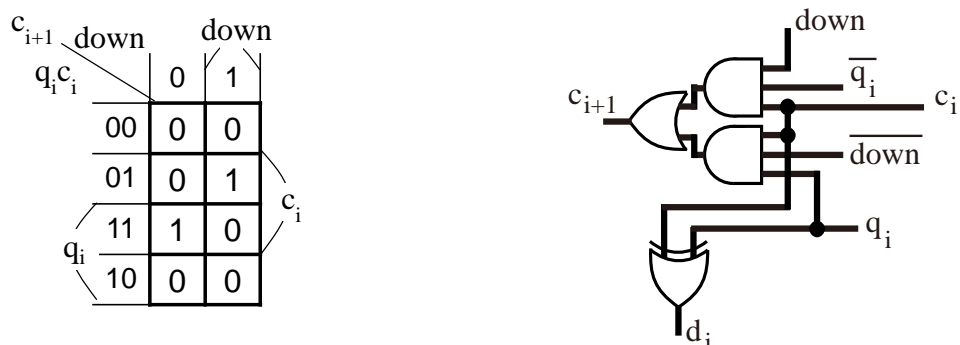
	down	q_i	c_i	c_{i+1}	$q_i' = d_i$
カウント アップ	0	0	0	0	0
	0	0	1	0	1
	0	1	0	0	1
	0	1	1	1	0
カウント ダウン	1	0	0	0	0
	1	0	1	1	1
	1	1	0	0	1
	1	1	1	0	0

この表および下に示す c_{i+1} に関するカルノー図から、次式を得る。

$$q_i' = q_i \oplus c_i$$

$$c_{i+1} = \overline{\text{down}} \cdot q_i \cdot c_i + \text{down} \cdot \overline{q_i} \cdot c_i$$

これらより、半加減算器は右下の回路のようになる。

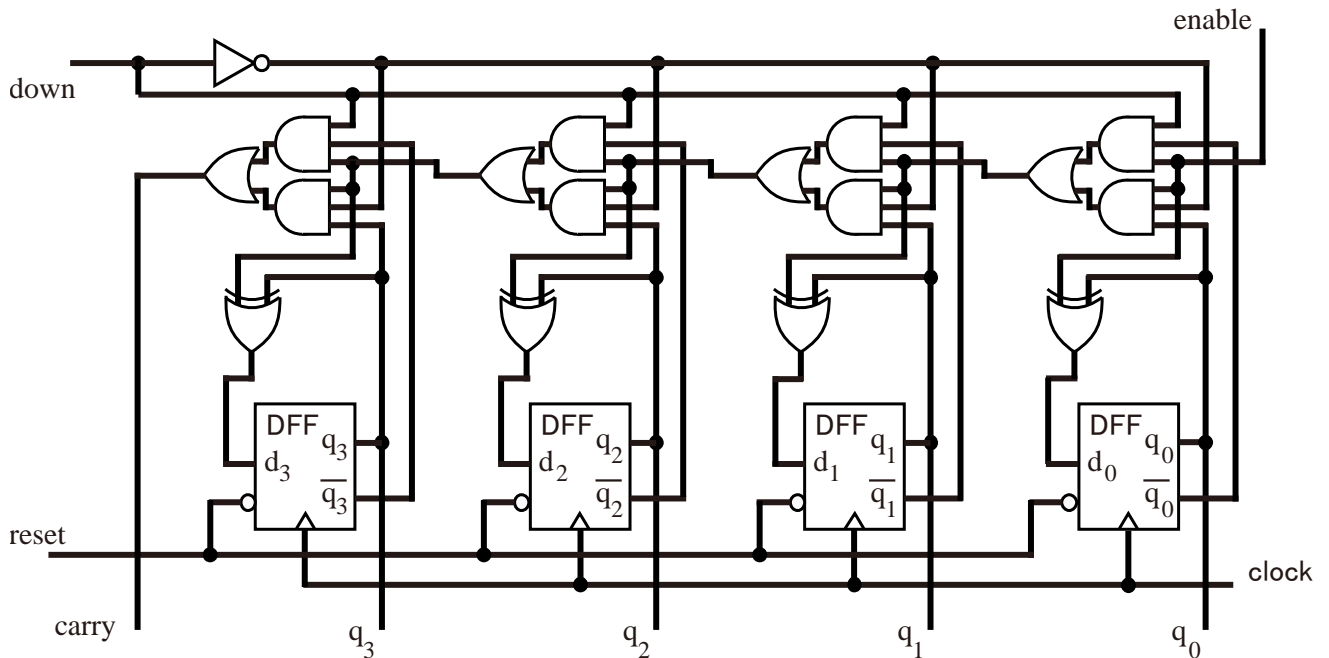


(ii) =====

load = 0 のときの回路では, enable = 1 のとき, down の値に応じて, 各桁 $i (0 \leq i \leq 3)$ において, $(q_0)_2 + (c_i)_2$ あるいは $(q_0)_2 - (c_i)_2$ のどちらかの演算を行うが, この演算は, $c_0 = 1$ としておけば半加減算器を用いて実現できる. 従って, 各桁において, 6章演習問題【4】の回路における半加算器の代わりに半加減算器を用いることにより, load = 0 のときの回路が実現できる.

一方, enable = 0 のときには, 各状態変数 q_i の値を変化させないようにしなければならないが, enable = 1 のときの回路において, $c_0 = 0$ とすると, 最下位ビットにおける演算は, $(q_0)_2 + (0)_2 = (q_0)_2 - (0)_2 = q_0$, $c_1 = 0$ となるから, 桁上げあるいは借りは 0 になり, そのときの和あるいは差 d_0 は, q_0 から変化しない. 従って, $c_0 = 0$ としておけば, 各桁 $i (0 \leq i \leq 3)$ において, $q_i' = d_i = q_i$ かつ $c_{i+1} = 0$ となることが分かる. それゆえ, enable = 1 のときの回路において, 単に $c_0 = 0$ とするだけで, $(q_3' q_2' q_1' q_0')_2 = (q_3 q_2 q_1 q_0)_2$ なる動作を実現できる.

そこで, enable = 1 のときには $c_0 = 1$ とし, enable = 0 のときには $c_0 = 0$ とするため, $c_0 = \text{enable}$ としておく. そうすると, load = 0 のときの動作をする回路として, 下図の回路を得る. ただし, D フリップフロップを 5章演習問題【4】の reset 入力付き D フリップフロップとしている.



(iii) =====

load = 0 の回路が上のように得られたので, load = 1 の場合に各 D フリップフロップに外部入力 I_i を入れる回路を付加する. これには, D フリップフロップの入力 $d_i (0 \leq i \leq 3)$ に load を制御入力とする 2:1 マルチプレク

デジタル回路設計 <第6章：基本回路と遅延> 解答例

サを接続し、これに、外部入力 I_i と $\text{load} = 0$ の回路のときの入力を接続すればよい。そうすると、4ビットのアップダウンカウンタは下図のように実現できる。

