【4】==

　制御入力 (reset, enable) = (0, 0) のときの動作は，$(q_3' \, q_2' \, q_1' \, q_0')_2 = (q_3 \, q_2 \, q_1 \, q_0)_2 + (0\ 0\ 0\ 0)_2$ と書けるから，reset = 0 のときは，$(q_3' \, q_2' \, q_1' \, q_0')_2 = (q_3 \, q_2 \, q_1 \, q_0)_2 + (0\ 0\ 0\ \mathrm{enable})_2$ という演算を行えばよいことが分かる．この演算は，最下位ビットにおいて，$(q_0)_2 + (\mathrm{enable})_2$ という加算をし，$(c_1 \, q_0')_2 = (q_0)_2 + (\mathrm{enable})_2$ なる 2 ビット（桁上げ c_1 と次状態の値 q_0'）を求め，各桁 i（$1 \le i \le 3$）において，$(c_{i+1} \, q_i')_2 = (q_i)_2 + (c_i)_2$ なる加算を行うことによって実行できる．そこで，c_0 = enable と書けば，各桁 i（$0 \le i \le 3$）において，$(c_{i+1} \, q_i')_2 = (q_i)_2 + (c_i)_2$ なる加算をすることになる．

　従って，各桁 i（$0 \le i \le 3$）における論理変数 $c_{i+1} \, q_i'$ の値は下の表のようになるから，これらは半加算器を用いて実現できる．なお，この表で，d_i は i 桁目の値を覚える D フリップフロップの入力である．

q_i	c_i	c_{i+1}	$q_i' = d_i$
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

　これらより，4 ビットのアップカウンタを下図のように作成できる．ただし，ここでは，半加算器を XOR ゲートと AND ゲートに分解して描いている．