

## デジタル回路設計 <第5章: 順序回路> 解答例

【4】 =====

題意の回路を設計するために、以下の3状態  $Q_0, Q_1, Q_2$  を定義する。

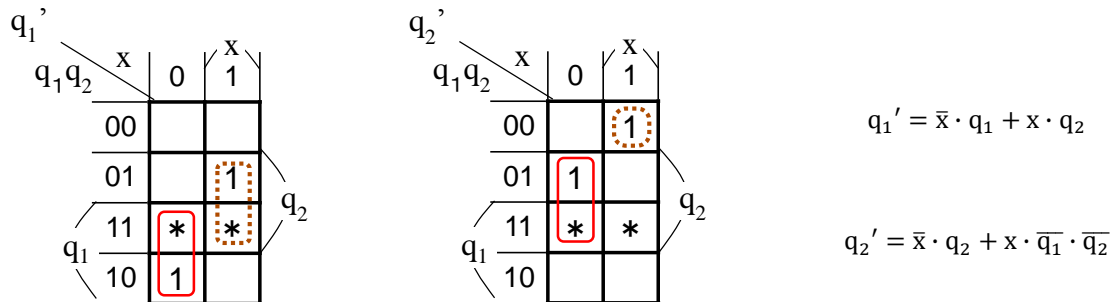
状態	状態の説明	状態符号 $q_1, q_2$
$Q_0$	1 が 1 個も入ってない状態	0, 0
$Q_1$	1 が 1 個入った状態	0, 1
$Q_2$	1 が 2 個入った状態	1, 0

また, reset 入力付き D フリップフロップを利用できるので, 2 つの状態変数  $q_1, q_2$  を用い, 初期状態  $Q_0$  を  $q_1 = 0, q_2 = 0$  として, 状態符号を上表に示したように割り当てる. このとき,  $Q_0$  以外の状態には異なる符号を割り当てることもできる.

これらを利用すれば, 所望の3カウンタの状態遷移表および出力表は以下のように書ける. なお, この表には, 状態を表す記号 ( $Q_0, Q_1, Q_2$ ) と状態符号の両方を書いている.

現状態		次状態 $q_1', q_2'$		出力 $z$			
		$q_1, q_2$	入力 $x$	0	1	0	1
$Q_0$	$0, 0$	$Q_0$	$0, 0$	$Q_1$	$0, 1$	0	0
$Q_1$	$0, 1$	$Q_1$	$0, 1$	$Q_2$	$1, 0$	0	0
$Q_2$	$1, 0$	$Q_2$	$1, 0$	$Q_0$	$0, 0$	0	1
	$1, 1$	$*, *$	$*, *$	$*, *$	$*, *$	$*, *$	$*, *$

この状態遷移表から, 次状態  $q_1', q_2'$  のカルノー図が下図のように得られ, これらのカルノー図より,  $q_1', q_2'$  の最簡な積和型論理式が得られる.



また, 出力表から, 出力  $z$  のカルノー図と最簡な積和型論理式が下記のように得られる.

z	x	0	1
		q <sub>1</sub> q <sub>2</sub>	
	00		
	01		
	11	*	*
	10		1

$z = x \cdot q_1$

そこで、状態変数  $q_1$  および  $q_2$  を格納する DFF のデータ入力をそれぞれ  $d_1$  および  $d_2$  とすると、これらの入力方程式が以下のように得られる。

$$d_1 = \bar{x} \cdot q_1 + x \cdot q_2 = \overline{\bar{x} \cdot q_1 + x \cdot q_2} = \overline{(\bar{x} \cdot q_1) \cdot (x \cdot q_2)}$$

$$d_2 = \bar{x} \cdot q_2 + x \cdot \bar{q}_1 \cdot \bar{q}_2 = \overline{\bar{x} \cdot q_2 + x \cdot \bar{q}_1 \cdot \bar{q}_2} = \overline{(\bar{x} \cdot q_2) \cdot (x \cdot \bar{q}_1 \cdot \bar{q}_2)}$$

また、出力  $z$  の出力方程式も NAND を用いて下記のように書ける。

$$z = x \cdot q_1 = \overline{(\bar{x} \cdot \bar{q}_1)}$$

これらの式より、以下の回路が得られる。

