

FPGA 時代に学ぶ 集積回路のしくみ

博士（工学） 宇佐美 公良 著

コロナ社

まえがき

本書は、デジタル集積回路を初めて学ぶ人たちに向けた教科書である。パソコンの頭脳部であるCPUや、スマートフォンの多種多様な機能を実現するSoC (System On a Chip) は、デジタル集積回路の仲間である。また、FPGAは、内部の論理機能をユーザーが自由に換えられるデジタル集積回路である。デジタル回路が、0と1の電気信号で動作することを知っている人は多い。ただその先、デジタル集積回路にはそもそも何が集積され、それがどんなしくみで動くのかを学ぼうとすると、素子について少し学ばねばならずハードルが若干高い。特に、情報工学や情報科学、システム工学、ロボット工学などを学ぶ学生は、電子工学を専門に学ぶ学生と異なり、カリキュラムの関係で必ずしも物性や量子力学を学んでいない。こういった学生が集積回路を学ぶ際に、素子の詳しい物性や電気的特性を理解するところから始めてしまうと、集積回路の話に行き着く前につまずくか、興味を失ってしまうということが少なくない。一方、演習授業や研究で、FPGAを使ってデジタル集積回路を設計し、機器を制御するといった機会がどんどん増えている。結果として、集積回路の基本的なしくみと設計方法を学ぶ人たちの裾野が広がっている。こういった現実をふまえ、本書では、デジタル集積回路のしくみを学ぼううえで必要最小限の項目だけを厳選し、解説した。デジタル集積回路のチップには、素直なオンオフ動作をするノーマルなスイッチ素子と、オンオフ動作もつなぎ方もまったく正反対の「あまのじゃく」なスイッチ素子が詰まっている。これらのスイッチ素子は、それぞれ自分の得意な場面で力を発揮するだけでなく、ときには不得意な部分を互いに補い合って動作する。小さなチップの中に広がるそ

んな理想的な世界を、少しでも感じていただけたら幸いである。なお、本書の内容は、著者が芝浦工業大学の情報工学科において、講義と演習で使用してきた資料をもとに書き下ろしたものである。

本書の使い方として、デジタル集積回路の基本的なしくみを学ぶ読者は、1章から12章まで順に読んでいただきたい。一方、FPGAを使った演習等で、FPGAのしくみとVerilog HDLを使った設計について学ぼうとする読者は、1章から3章3.1節までざっと目を通した後、12章以降をお読みいただきたい。実際にFPGAに触れ、集積回路にさらに興味がわいたら、ぜひ3章に戻ってそこから先を読み進めていただきたい。少し発展的な内容は、まめ知識という名前のコラムにして載せた。

共著で書く場合と異なり、本書は一人で執筆したため、共著者間で互いに内容をチェックし合うような機会がなかった。このため、その分野の第一人者である二人の先生に、原稿の査読をお願いした。

FPGAとVerilog HDLの章(12～14章)については、天野英晴教授(慶應義塾大学)に、また、集積回路の動作速度と遅延時間の章(5～6章)については、黒田忠広教授(慶應義塾大学)に原稿を読んでいただき、たいへん有益なご指摘とアドバイスをいただいた。本書の企画段階で章立てを決める際には、佐々木昌浩准教授(芝浦工業大学)から貴重な助言をいただいた。また、コロナ社には、編集と出版の多大な労をとっていただいた。この場をお借りして、心より感謝を申し上げたい。

2019年3月

宇佐美 公良

目 次

1. 集積回路とは

1.1	なにが集積されているのだろうか	1
1.2	スイッチ素子を使ってどんなことができるのか	2
1.3	集積回路の発展の道筋とムーアの法則	6
	章 末 問 題	10
	引用・参考文献	11

2. スイッチ素子の正体とオンオフするしくみ

2.1	MOS トランジスタの基本構造	12
2.2	pn 接合の基礎知識	14
2.3	MOS トランジスタがオンオフするしくみ	18
	章 末 問 題	22

3. CMOS 組合せ回路

3.1	CMOS 論理ゲート回路	23
3.2	CMOS 複合ゲート回路	25
3.3	レイアウトパターン	27
3.3.1	CMOS インバータのレイアウトパターン	27
3.3.2	レイアウトパターンにおけるトランジスタの L と W	31
3.3.3	NAND 回路のレイアウトパターン	34
	章 末 問 題	35

引用・参考文献	36
---------	----

4. 集積回路の製造方法

4.1 製造の流れ	37
4.2 フォトリソグラフィ	38
4.3 マスク	39
4.4 前工程	40
4.5 後工程	43
4.6 歩留り	43
章末問題	44
引用・参考文献	44

5. 集積回路の動作速度はどんなしくみで決まるのか

5.1 動作速度に影響を与える充電動作と放電動作	45
5.2 MOSトランジスタを流れる電流	50
5.3 集積回路における寄生容量	56
章末問題	59
引用・参考文献	61

6. CMOS回路の遅延時間

6.1 CMOSインバータの遅延時間	62
6.2 RC遅延モデル	67
6.3 RC遅延モデルの応用	70
章末問題	75
引用・参考文献	76

7. スイッチとしての弱点と伝送ゲートのしくみ

7.1 スイッチとしてのMOSトランジスタの弱点	77
--------------------------	----

7.2 伝送ゲート	81
章末問題	84

8. CMOS 記憶回路と動作のしくみ

8.1 ラッチ回路	86
8.2 フリップフロップ回路	92
8.3 SRAM 回路	96
8.3.1 SRAM のメモリセルの構造	97
8.3.2 SRAM の読出し動作と書き込み動作	98
章末問題	99

9. 集積回路のタイミング設計

9.1 組合せ回路の遅延時間	100
9.2 フリップフロップ回路の遅延時間とタイミング	102
9.3 同期回路とタイミング設計	104
9.3.1 セットアップ時間の制約	104
9.3.2 ホールド時間の制約	109
9.4 クロックスキューとクロックツリー生成 (CTS)	112
章末問題	115

10. 集積回路の設計方式と設計フロー

10.1 設計フロー	116
10.2 RTL 設計	119
10.3 セルライブラリ	120
10.4 論理合成	121
10.5 自動レイアウト	121
10.6 タイミング検証	125
10.7 レイアウト検証	126

章 末 問 題	127
引用・参考文献	127

11. 低消費電力設計

11.1 集積回路の消費電力はなぜ注目を浴びるようになったのか	128
11.2 集積回路で電力消費が起こるしくみ	129
11.3 代表的な低消費電力設計技術	133
11.3.1 クロックゲーティング	134
11.3.2 パワーゲーティング	136
章 末 問 題	140
引用・参考文献	140

12. FPGA とそのしくみ

12.1 FPGA と は	141
12.2 FPGA の内部構造としくみ	143
12.3 FPGA の設計手順	150
章 末 問 題	152
引用・参考文献	153

13. Verilog HDL の基本文法

13.1 モジュール単位で記述する	154
13.2 識 別 子	155
13.3 予 約 語	155
13.4 論 理 値	156
13.5 数値の表現方法	157
13.6 データ型と信号の定義	157
13.7 演 算 子	159
13.8 書式とコメント	161

章末問題	161
------	-----

14. Verilog HDL での RTL 記述方法

14.1 組合せ回路の RTL 記述方法	163
14.1.1 基本的な記述方法と assign 文	163
14.1.2 条件によって代入値を変えたい場合の記述方法と function 文	166
14.2 順序回路の RTL 記述方法	169
14.2.1 フリップフロップやレジスタの記述方法と always 文	169
14.2.2 リセット付きレジスタの記述方法	172
14.2.3 カウンタの記述方法	174
14.3 モジュールの階層化とインスタンス	175
14.4 シミュレーション用記述	177
章末問題	182
引用・参考文献	182
章末問題解答	183
索引	194

1

集積回路とは

私たちの日々の生活は、いまや集積回路なしには成り立たなくなっている。集積回路は、**半導体チップ**（または、単にチップ）、あるいは、**LSI** (large scale integrated circuit)、**IC チップ**と呼ばれ、複雑な処理を高速に行う電子部品である。パソコンはもとより、いまでは、スマートフォンや交通系 IC カード、テレビ、クルマに至るまで、ありとあらゆる物に入っている。そんな集積回路には、そもそもなにが集積されているのだろうか。

この章では、初めにそれについて触れ、その集積されたものを使って、どのようなしくみで、どんなことができるのかを解説する。

1.1 なにが集積されているのだろうか

CPU (central processing unit) や **FPGA** (field programmable gate array) に代表されるデジタル集積回路では、膨大な数の小さな**スイッチ素子**が集積されている。スイッチ素子は、上から見ると**図 1.1**のような形をしている。一方、われわれの身の回りには**図 1.2**のような形をしていて、A を指で押すと B と C の間が電氣的につながり（導通する、またはオンすると

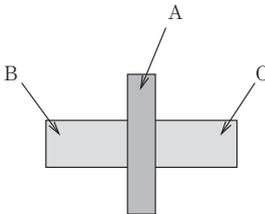


図 1.1 スwitch素子

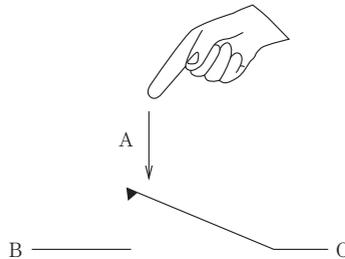


図 1.2 身の回りにあるスイッチ

いう), Aから指を離すとBとCの間は電氣的に切れる(非導通になる, またはオフするという)。図1.1のスイッチ素子も, 働きは同じである。ただ, ものすごく小さいので指で押すことはできず, 代わりにAにプラスの電圧をかけるとBとCの間(Aの下の部分)が導通する。Aにプラスの電圧をかけず0ボルト(0V)にすると, B-C間は非導通になる。

このスイッチ素子の発明は画期的であり, その後の集積回路の爆発的な発展に寄与した。スイッチ素子の特長として, 機械的な要素を介さずに電氣的にオン・オフできること, またそれゆえにどんどん小さくできる可能性を秘めていたことが挙げられる。素子を小さくできれば, オン・オフをさらに高速に切り替えられる。こういった利点が, スイッチ素子を小さく作る技術(微細化技術)の開発に拍車をかけ, 集積度と性能の向上につながった。

1.2 スイッチ素子を使ってどんなことができるのか

集積回路にはスイッチ素子が集積されていることを述べたが, スイッチ素子を使ってどんなことができるのだろうか。それには, もう一つ重要なスイッチ素子を登場させなければならない。それは図1.3に示すスイッチで, Aから指を離した状態ではB-C間が導通しているが, Aを押すと切れるスイッチである。図1.2のスイッチと正反対の性質なので, 本書では「あまのじゃくスイッチ」と名付ける。スイッチ素子としては, Aが0Vのときオンし, Aにプラスの電圧をかけるとオフする。あまのじゃくスイッチに対して, 素直なオン・オフをするスイッチ(図1.2)を, 本書では「ノーマルスイッチ」と呼ぶことにする。どちらのスイッチ素子も半導体技術で実現可能であり, 素子の詳細につ

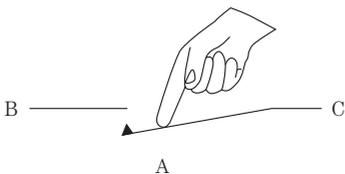


図1.3 あまのじゃくスイッチ

いては2章で述べる。

さて, ここでは, ノーマルスイッチとあまのじゃくスイッチを使うとどんなことができるのか, 見てみよう。ノーマルスイッチ1個とあまのじゃくスイッチ1個をつな

げて、**図 1.4**のような構造を作る。図中、あまのじゃくスイッチには $\textcircled{\text{あ}}$ のマークを付けてある。あまのじゃくスイッチの両端には、1.2Vの電源線[†]と出力端子を接続する。一方、ノーマルスイッチの両端には、0Vの線（グラウンド、接地）と出力端子を接続する。入力には、ノーマルスイッチとあまのじゃくスイッチに対し、同じものを入力する。この構造で入力が0Vの場合と1.2Vの場合、出力の電圧がどのようになるか見てみよう。まず、入力の電圧が0Vのとき、ノーマルスイッチはオフするが、あまのじゃくスイッチはオンする。結果として、あまのじゃくスイッチが接続している1.2Vが出力に伝わり、出力の電圧は1.2Vになる。逆に、入力が1.2Vのときは、ノーマルスイッチがオンし、あまのじゃくスイッチがオフするため、ノーマルスイッチが接続している0Vが出力に伝わり、出力の電圧は0Vとなる。以上の動作をまとめたものを、**表 1.1**に示す。

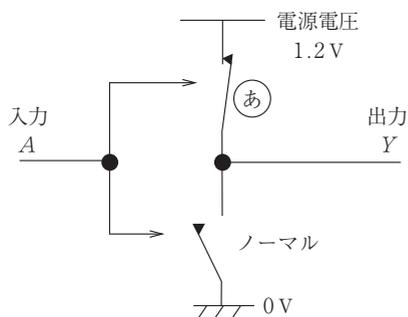


表 1.1 図 1.4 の構造の動作

入力 A [V]	ノーマル スイッチ	あまのじゃく スイッチ	出力 Y [V]
0	オフ	オン	1.2
1.2	オン	オフ	0

図 1.4 ノーマルスイッチ1個とあまのじゃくスイッチ1個をつないだ構造

デジタル集積回路では、0Vを論理値0に対応させ、1.2Vを論理値1に対応させるので（**表 1.2**）、表 1.1の入力電圧と出力電圧の関係を論理値に置き換えると、入力論理値に対し**表 1.3**に示すような出力論理値が得られてい

[†] デジタル集積回路で使用するプラスの電圧には、通常、チップに供給される電源電圧を使う。半導体製造プロセスの微細化とともに、使われる電源電圧は低下の歴史を辿ってきており、本書で扱う 65 nm プロセスでは典型的な電源電圧として 1.2V が使われているため、この値を使って説明を進める。ほかの電源電圧の場合でも原理は同じであり、電圧の値を読み替えて理解が可能である。

表 1.2 論理値と電圧の対応

論理値 0	低い電圧 (0V)
論理値 1	高い電圧 (電源電圧 1.2V)

表 1.3 表 1.1 の入力と出力の電圧を論理値に置き換えたもの

入力 A	出力 Y
0	1
1	0

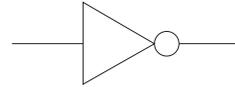


図 1.5 NOT 回路

ることがわかる。これは、入力論理値を反転して出力する **NOT 回路** の真理値表と同一であり、図 1.4 は NOT 回路を実現する構造であることがわかる。実際に集積回路の中では、図 1.4 の構造で NOT 回路を実現している。論理回路を学んだことのある読者は、NOT 回路は図 1.5 の記号で表されることを知っていると思うが、これを「物理的に」実現するしくみが図 1.4 である。

ではつぎに、ノーマルスイッチ 2 個とあまのじゃくスイッチ 2 個を使うとどんなことができるのか、見てみよう。2 個をどのようにつなぐのかには、2 通りの方法がある。直列につなぐ方法と、並列につなぐ方法である。ここでは、ノーマルスイッチ 2 個を「直列に」つなぐ場合を考えよう。あまのじゃくスイッチは、とことん「あまのじゃく」にこだわるので、ノーマルスイッチが直

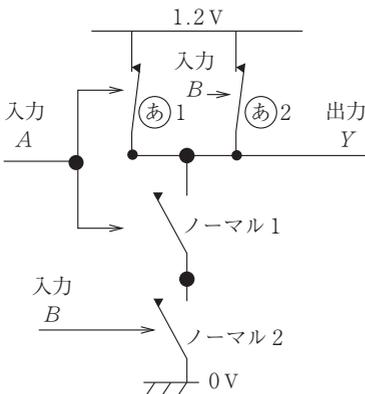


図 1.6 ノーマルスイッチを直列につないだ構造 (あまのじゃくスイッチは並列)

列なら、あまのじゃくスイッチは並列である。こうやって接続した構造を図 1.6 に示す。ノーマルスイッチを 0V の側につなぎ、あまのじゃくスイッチを 1.2V の側につなぐのは、NOT 回路の構造と同じである[†]。

図 1.6 の構造におけるスイッチのオン・オフと、その結果得られる出力電圧をまとめたものを表 1.4 に示す。また、それをもとに論理値に置き換えたものを表 1.5 に示す。どんな論理が実現され

[†] なぜこのようにつなぐのかについては、7 章で詳しく説明する。

表 1.4 図 1.6 の構造の動作

入力 A [V]	入力 B [V]	ノーマル 1	ノーマル 2	①	②	出力 Y [V]
0	0	オフ	オフ	オン	オン	1.2
0	1.2	オフ	オン	オン	オフ	1.2
1.2	0	オン	オフ	オフ	オン	1.2
1.2	1.2	オン	オン	オフ	オフ	0

ているだろうか。すぐにはなかなか気づきにくいので、出力 Y を反転した値を表 1.5 の一番右の欄に記した。出力 Y を反転した値は、 A と B の AND 論理 ($A \cdot B$) の結果になっていることがわかる。ということは、反転する前の結果は $Y = \overline{A \cdot B}$ 、すなわち NAND 論理の値が得られていることになる。図 1.6 の構造で NAND 回路が実現できるわけであり、実際にこの構造が集積回路の中で使われている。

ここまでくると、今度はノーマルスイッチ 2 個を「並列に」つなぐと、どんな論理が実現できるか想像できるだろう。これについては、章末問題に載せたので、読者自身の手で動作をぜひ確かめてもらいたい。

さらに、ノーマルスイッチの数を 3 個以上に増やすと、ノーマルスイッチの中で直列と並列を組み合わせた構造ができる。あまのじゃくスイッチはノーマルスイッチと同じ数だけ使って、とにかくノーマルスイッチとは正反対の接続を作る。こうすることにより、AND や OR が組み合わせさった複雑な論理を一つの回路で実現できるようになる。これについては、3 章で紹介する。

このように、ノーマルスイッチとあまのじゃくスイッチの組合せにより、多種多様の論理回路が作れることがわかった。また、記憶回路もこれらのスイッチの組合せで実現できる。スイッチ素子をチップ上にどんどん集積することにより、複雑なコンピュータシステムが一つの集積回路で実現できるようになるため、集積回路の技術開発は、おもに集積度の向上に向けて発展を遂げてきている。集積度の向上がどれくらいのスピードで進んだのか、また、どうやって

表 1.5 表 1.4 の入力と出力の電圧を論理値に置き換えたもの

A	B	Y	\bar{Y}
0	0	1	0
0	1	1	0
1	0	1	0
1	1	0	1

索

引

【あ】	
アクセストランジスタ	97
アセンブリ	43
後工程	37
アドレスデコーダ	96
アンテナルールチェック	126
【い】	
イオン注入	42
インゴット	37
インスタンス	175
インスタンス名	175
インバータ	23
【う】	
ウェハ	37
ウェルタップ	29
【え】	
エッチング	41
【お】	
オフ状態	51
オン状態	51
オン抵抗	66
【か】	
化学気相成長	42
拡散容量	57
カスケード接続	101
価電子	15
【き】	
寄生容量	47

機能検証	117
機能設計	117
基板タップ	29
逆バイアス	18
逆バイアス状態	18
逆方向電圧	18
共有結合	15
【く】	
空乏層	20
駆動	70
組合せ回路	86,100
組合せ論理回路	101
組立て	43
クリティカルパス	102
クリーンルーム	38
クロック-Q 遅延時間	102
クロックゲーティング	134
クロックスキュー	114
クロックツリー	114
クロックツリー生成	114
【け】	
結晶	15
ゲート	12
ゲート酸化膜	12,42
ゲート長	31
ゲート電圧	50
ゲート幅	31
ゲート容量	56
ゲートリーク電流	137
現像	41
【こ】	
コンタクトホール	29
コンフィグレーション	142

コンフィグレーション	
データ	152
【さ】	
最小伝搬遅延時間	102
最大伝搬遅延時間	102
最大動作周波数	107
サブスレシヨルドドリーク電流	137
酸化	41
【し】	
しきい値電圧	19
識別子	155
システム設計	116
実効チャネル長	55
自動レイアウト	118
ジャンクション容量	57
充電	48
自由電子	15
順序回路	86
順バイアス	17
順方向電圧	17
ショックレーモデル	54
シラン	42
シリコンウェハ	37
【す】	
スイッチ素子	1
スイッチング確率	130
スイッチング動作	62
スタンダードセル	121
ステップ入力	67
スルー	89
スレーブラッチ	93

【せ】	電圧回復回路	148	フォトソグラフィ	38	
正孔	16	伝送ゲート	83	フォトレジスト	38
設計フロー	116	【と】	負荷容量	58	
接合容量	57	等価抵抗	65	複合ゲート	27
セットアップ時間	104	同期回路	104	不純物元素	15
セットアップタイム	104	ドーピング	15	フッタ方式	139
セル	118	ドーブする	15	不定値	92
セルライブラリ	118	ドライバ	73	歩留り	43
ゼロバイアス状態	18	トランスペアレント	89	プリチャージ	98
線形領域	52	ドレイン	12	プロセスばらつき	125
センスアンプ	97	ドレイン電圧	50	【へ】	
選択回路	81	ドレイン電流	50	ベータ比	52
【そ】	【ね】	ネット型	157	ベータレシオ	52
相補的 MOS 回路	24	ネットリスト	118	ヘッダ方式	139
速度飽和	55	【は】		【ほ】	
ソース	12	配線	29,118	放電	48
【た】		配線容量	47	飽和領域	52
ダイシング	43	配置	118	保持	89
ダイナミック電力	130	バス	158	ホッピング	16
タイミング検証	123	バス	102	ポートリスト	154
タイミング設計	100	バストランジスタ	83	ホール	16
タイミングチャート	88	バッファ	112	——の反転層	21
立上りエッジ	93	バッファリング	186	ホールド時間	104
立上り遅延時間	64	ハードウェア記述言語	117	ホールドタイム	104
立下り遅延時間	64	ばらつき	125	ホールドバッファ	112
立下り伝搬遅延時間	64	パワーゲーティング	136	【ま】	
【ち】		反転層	20	前工程	37
遅延時間	46,100	半導体チップ	1	マスク	38
チャンネル	20,124	【ひ】		マスターラッチ	93
チャンネル長変調効果	55	微細化技術	8	マルチプレクサ	81
【て】		ビットストリーム	152	【み】	
テクノロジマッピング	121	ビット線	97	密度ルールチェック	126
デザインルール	126	【ふ】		【む】	
テストベクタ	177	ファンアウト 4	70	ムーアの法則	9
テストベンチ	178	フィーチャーサイズ	8		
テープアウト	119				

【め】		【ら】		レイアウト図	29
メモリセル	96	ラッチ回路	88	レイアウトデータ	116
メモリセルアレイ	96			レイアウトパターン	29
【も】		【り】		レクチル	38
モジュール	154	リーク電流	137	レジスタ型	157
——の階層化	175	リーク電力	136	レジスト	38
モジュール宣言	154	リセット	172	【ろ】	
もれ電流	137	リングオンレータ	75	ロウ	122
【よ】		【る】		露光	41
読出し／書込み回路	96	ルックアップテーブル	144	論理合成	117
		【れ】		【わ】	
		レイアウト検証	119	ワード線	97

【アルファベット】	FPGA	1,141	PLD	141
α 乗則	function 文	166	pMOS トランジスタ	13
always 文	HDL	117	pn 接合	17
assign 文	IC チップ	1	PVT ばらつき	125
CAD	initial 文	179	RC 遅延モデル	65
case 文	LSI	1	reg 型	157
CMOS	LUT	144	RTL	117
CMOS インバータ	LVS	126	RTL シミュレーション	117
CMOS 回路	MOS	6	SoC	102
CMOS 複合ゲート回路	MOS 構造	12	SRAM	96
CMP	MOS トランジスタ	13	STA	118
CPU	MOS 容量	57	Verilog HDL	120
CTS	n 型半導体	15	VHDL	120
CVD	nMOS トランジスタ	13	VIA	123
D フリップフロップ	NOT 回路	4	wire 型	157
	n-well	28	【数字】	
DRC	p 型半導体	16	2 進カウンタ	174
	P & R	118		

— 著者略歴 —

1982年 早稲田大学理工学部電気工学科卒業
1984年 早稲田大学大学院理工学研究科修士課程修了（電気工学専攻）
1984年 株式会社東芝入社
1993年 米国スタンフォード大学大学院客員研究員
1995年 株式会社東芝に復職
2000年 博士（工学）（早稲田大学）
2003年 芝浦工業大学助教授
2005年 芝浦工業大学教授
現在に至る

FPGA 時代に学ぶ集積回路のしくみ

Introduction to Digital VLSI Design in FPGA Era

© Kimiyoshi Usami 2019

2019年6月21日 初版第1刷発行



検印省略

著者	宇佐美 公良
発行者	株式会社 コロナ社
代表者	牛来真也
印刷所	萩原印刷株式会社
製本所	有限会社 愛千製本所

112-0011 東京都文京区千石 4-46-10

発行所 株式会社 コロナ社

CORONA PUBLISHING CO., LTD.

Tokyo Japan

振替 00140-8-14844・電話(03)3941-3131(代)

ホームページ <http://www.coronasha.co.jp>

ISBN 978-4-339-00924-8 C3055 Printed in Japan

(中原)



JCOPY <出版者著作権管理機構 委託出版物>

本書の無断複製は著作権法上での例外を除き禁じられています。複製される場合は、そのつど事前に、出版者著作権管理機構（電話 03-5244-5088, FAX 03-5244-5089, e-mail: info@jcopy.or.jp）の許諾を得てください。

本書のコピー、スキャン、デジタル化等の無断複製・転載は著作権法上での例外を除き禁じられています。購入者以外の第三者による本書の電子データ化及び電子書籍化は、いかなる場合も認めていません。落丁・乱丁はお取替えいたします。