

集積回路のための 半導体デバイス工学

博士（工学） 小林 清輝 著

コロナ社

ま え が き

この数十年の間、情報通信技術の飛躍的な進歩が社会と人々の暮らしに大きな変化をもたらしてきた。インターネットと通信関連のインフラストラクチャーの構築、そしてスマートフォンをはじめとする電子機器の発達によってユビキタスネットワーク社会が現実のものとなったことはその一例である。さらに、今から 21 世紀中盤にかけては IoT (Internet of Things) や AI (Artificial Intelligence) の普及も加わって一層大きな変化が訪れると予想されている。このような幾重もの変革の礎となっているのが、20 世紀後半から今日にかけて構築されてきた集積回路技術である。

集積回路 (IC : Integrated Circuit) の中で大規模なものは LSI (Large Scale Integration, 大規模集積回路) と呼ばれ、多いものでは 1 チップに百億を超える素子を有している。LSI は設計者が生み出すさまざまな機能を持った電子回路を具現化するプラットフォームであり、このため搭載する電子回路の種類は無数といってよいほど多い。また新たな原理に基づいて動作する素子がつぎつぎと提案され、それらを組み込んだ数多くの新製品が開発されている。このように LSI はその生産量が莫大となった今日においてもなお大きな可能性を有している。

大多数の LSI は MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) と他の素子からなる電子回路をシリコン基板に形成し、情報の取り込み・情報処理・データの記憶を行えるようにしたデバイスである。本書はこのような「シリコンを使った MOS 集積回路」について初めて学ぼうとする人のための教科書である。本書が想定するおもな読者は、電気電子・情報通信分野

の大学生と工業高等専門学校生である。また、社会において初めてLSIと関わることとなった技術者や半導体製造装置・半導体材料の開発と設計に携わる技術者、LSIの生産や要素プロセスを担当する技術者であって、MOS集積回路について学び直そうという方々も念頭に置いて執筆した。

本書は六つの章からなっており、前半の主題はMOSFETの動作原理と集積回路を微細化する理由である。論理回路をはじめとする多くの電子回路がMOSFETを用いて実現されており、その動作原理を理解しておくことは電気電子工学を学ぼうとする学生にとってきわめて重要である。これを理解するためには結晶のエネルギーバンドに関する知識が必要となるため、2章と3章で結晶中の電子の状態と半導体物性の基本事項を扱い、4章でMOSFETの動作原理について説明した。また4章では、MOSFETが論理回路の中でどのように働いているかを具体的に説明するためにCMOS (Complementary Metal-Oxide-Semiconductor) インバータの動作についても触れた。LSIには微細化という大きな流れがあり、そのことがこの分野の特徴である。LSIが微細化されてきた理由を説明するために1章でLSIの歴史について概観し、4章において比例縮小則を扱った。

本書の後半の主題はLSIがどのような技術によって作製され、作製されたLSIがどのような動作を行っているのかを理解することである。このため5章では、フォトリソグラフィやエッチング、薄膜形成などの要素プロセス技術とCMOSインバータの製造プロセスの流れを説明し、ゲート絶縁膜とゲート電極、金属シリサイド、銅配線の形成技術について説明した。最後の6章では、LSIの中でのMOSFETと回路の動作を説明するために4種類のメモリLSIを取り上げ、それらのメモリセルの基本動作を説明した。これら4種類のメモリLSIはデジタルシステムの中で個々に重要な役割を担っている。また、それぞれ固有の原理でデータを記憶しているが、初歩的な電気回路の知識があればメモリセルの基本動作については比較的容易に理解することが可能であろう。別のカテゴリーのLSIとしてSoC (System on a Chip) (システムLSI)があるが、これについて理解するためにはメモリに加えて、ALU (Arithmetic Logic

Unit) や多種類の論理ゲートから構成されるさまざまな論理回路の構成と動作, さらにそれらの設計手法について学ぶ必要があり, 別に1冊の教科書を必要とするであろう。この分野については, すでにいくつかの教科書が発行されている。これらの理由から本書ではメモリ LSI を取り上げた。

各章の演習問題には学修状況を確認するための問題に加え, 本文の内容を補う知識を習得するための問題と数値を扱う問題を含めた。いずれも基礎的な問題であり, 読者にはぜひ取り組んでいただきたい。

繰り返しになるが, 執筆に当たっては本書が MOS 集積回路について学ぼうとする方々の入門書となるように心掛けた。読者が息切れするのを避けるために, 個々の事項についてはできるだけ簡潔で平易な説明に努め, 限られた側面ではあるが現代の LSI の姿を掴めるように考えた。同様の考えで, MOS 集積回路について学ぶための重要事項の中で MOSFET のスイッチング動作の説明を優先し, これに多くの紙面を割いたが, pn 接合と金属-半導体接合についての説明を含めなかった。MOSFET においてもソース・ドレインとウェルの間は pn 接合となっており, コンタクトプラグとシリコン基板の接続部分は金属-半導体接合となっている。それゆえ読者が本書を読み終えた後, MOS 集積回路についてさらに学修を継続する場合には上記の事項についても学んでいただきたい。これらを扱った半導体工学・半導体デバイス工学の教科書は数多く発行されている。また本書では, エネルギーバンドの説明に関して一次元結晶格子とほとんど自由な電子の近似を用いる取り扱いを中心に記述し, MOSFET の電流-電圧特性に関してはグラジュアルチャネル近似を用いる説明にとどめた。これらについてさらに深く学ぼうとする方々は, 固体物理や MOS デバイスの物理に関する専門書を手に取って学修を進めていただきたい。

LSI の進歩は目覚ましく, つぎつぎと新しい技術が登場し, 旧来の構造や技術が陳腐に見えてしまうことも少なくない。このため本書の執筆に着手するまでの間, 著者もその内容が出版後に時代遅れとなるのではないかと懸念し, 悩んだ。しかしながら先端技術も多くは従来技術から一つひとつ進歩を重ねることによって構築されたものであり, 両者には共通する基本原理がある。さらに

は MOS デバイスの動作原理や各プロセス技術の基本原理には時代を経ても知っておくべき考え方があり、執筆に際してできる限りそのような本質的な部分を尊重したつもりである。本書が MOS 集積回路を学ぶ諸氏の助けになれば幸いである。

ただし、浅学非才を顧みずに本書を執筆したため、記述不足や誤りがあると思う。この点については読者からご叱正を頂戴できれば有難く存する。

最後に、本書の執筆に当たって国内外の多くの文献を参考にさせていただき、読者に参考となると思われるものを選んで各章末に引用・参考文献として掲載させていただいた。これらの文献から多くを学ばせていただき示唆を得たことについて各著者にお礼を申し上げます。また、本書を執筆する機会を与えていただいたコロナ社の各位に感謝の意を表する。

2018年2月

小林 清輝

目 次

1 章 集積回路の微細化が進められた理由

1.1	なぜ集積回路を微細化するのか	2
1.2	集積回路の微細化と性能の推移	5
1.3	近年のLSI	7
1.4	集積回路の種類と用途	10
	演習問題	14
	引用・参考文献	14

2 章 固体電子論の基礎

2.1	自由電子の波動関数	16
2.1.1	ド・ブロイの関係式	16
2.1.2	シュレディンガー方程式	17
2.1.3	井戸型ポテンシャルの中の1個の電子の状態	19
2.1.4	箱の中の自由電子の状態密度	23
2.2	シリコンの結晶構造	24
2.3	逆格子	26
2.4	結晶の中の電子の波動関数	28
2.5	エネルギーバンド	31
2.6	金属, 絶縁体, 半導体のエネルギーバンド	35
	演習問題	37

引用・参考文献	37
---------	----

3章 半導体中のキャリア

3.1 真性半導体	38
3.2 真性半導体の伝導電子密度と正孔密度	39
3.3 真性フェルミ準位	43
3.4 有効質量	44
3.5 正孔	46
3.6 不純物半導体	48
3.7 キャリヤ密度とフェルミ準位	52
3.8 キャリヤのドリフトと移動度	55
3.9 キャリヤの拡散	58
演習問題	59
引用・参考文献	62

4章 MOSFETの動作原理

4.1 MOS構造	63
4.2 空乏近似	70
4.3 ポアソン方程式の厳密な解	76
4.4 フラットバンド電圧	79
4.5 MOSFETの動作	81
4.6 線形領域と飽和領域のドレイン電流	83
4.7 MOSFETの種類	86
4.8 CMOSインバータ	89
4.9 比例縮小則	93
4.10 MOSFETにおける短チャネル効果	98
演習問題	100
引用・参考文献	103

5章 LSI 製造プロセス

5.1 LSI ができるまでの流れ	104
5.2 製造プロセスのフロー	106
5.3 要素プロセス技術	109
5.3.1 フォトリソグラフィ	109
5.3.2 ドライエッチング	114
5.3.3 薄膜形成	116
5.3.4 洗浄とウェットエッチング	121
5.3.5 化学機械研磨 (CMP)	123
5.3.6 イオン注入と熱拡散	125
5.3.7 クリーンルーム	128
5.4 LSI のプロセスフロー (CMOS インバータ)	129
5.5 MOSFET 高性能化技術の進展	138
5.5.1 高誘電率ゲート絶縁膜	138
5.5.2 メタルゲート電極	142
5.5.3 ニッケルシリサイド	146
5.6 銅配線	146
5.7 シリコン結晶	150
演習問題	152
引用・参考文献	153

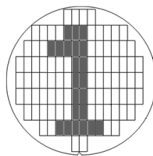
6章 LSI の構成と動作

6.1 DRAM の動作	154
6.2 SRAM の動作	158
6.3 NOR 型フラッシュメモリの構造と動作	160
6.4 NAND 型フラッシュメモリの構造と動作	167
演習問題	176

引用・参考文献.....177

演習問題の解答.....178

索 引.....182



集積回路の微細化が進められた理由

人類史において最初に登場した汎用コンピュータは ENIAC と名付けられ、その使用目的は軍用に限られていた。約 1 800 本の真空管を使用し、総重量は約 30 t にも及んだと言われている。21 世紀の今日では、ENIAC に比べて桁違いに高い性能を有するスマートフォンが広く一般に普及し、時計や眼鏡のように身に着けるウェアラブルコンピュータも手に入るようになった。これらを含む多くの電子機器がインターネットと結ばれ、それらを使って個々人が世界に容易に情報を発信することができる。カーナビゲーションシステムもインターネットと接続され、自動車の自動運転機能の進展も著しい。道路や工場・住宅に張り巡らしたセンサからの情報をインターネットを介して収集して活用する仕組み (IoT : Internet of Things) も本格的な利用が始まりつつある。図 1.1 は、スマートフォン (Apple 社製 iPhone 4S) の内部を撮影した写真である。高度な機能を持つスマートフォンが少ない部品点数で構成されてい

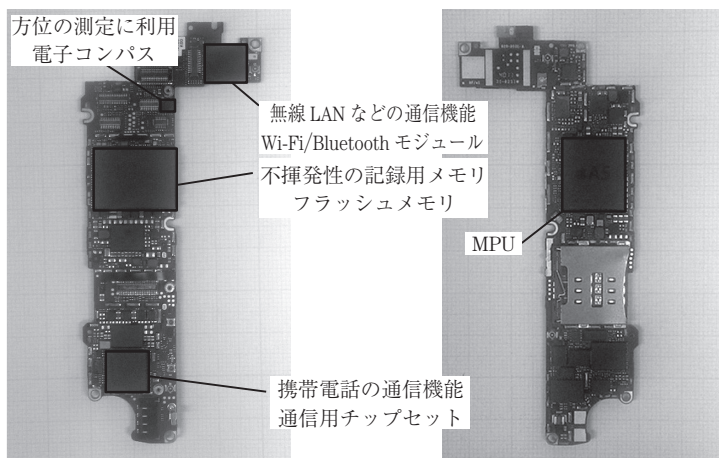


図 1.1 スマートフォン (Apple 社製 iPhone 4S) の内部を撮影した写真

ることに驚かされる。上述した機器類は、図 1.1 で見たようにいずれもその中枢に集積回路 (IC : Integrated Circuit) を用いており、集積回路の高性能化と低コスト化がそれらの登場を牽引してきたと言っても過言ではない。本章では、集積回路技術の歴史を振り返った後、集積回路の性能向上とともにその微細化が進んだ理由および、近年の集積回路の姿について簡潔に説明する。

1.1 なぜ集積回路を微細化するのか

歴史上最初のトランジスタは、1947 年に Walter H. Brattain と John Bardeen が発明した点接触型トランジスタ (point-contact transistor) と言われている^{1)†}。この素子に使用された半導体材料はゲルマニウムであった。その後 1951 年に接合型トランジスタ (junction transistor) が William B. Shockley によって発明され、これらの出来事によって固体素子技術の扉が開かれた。集積回路は、1958 年に Texas Instruments 社に在籍していた Jack C. Kilby によって発明されたとされている。1959 年には、Fairchild Semiconductor International 社の Robert N. Noyce によってプレナー技術の特許が出願された²⁾。その内容は、シリコン基板表面を酸化してシリコン酸化膜 (SiO₂ 膜) を形成し、その一部を除去してマスクとし、不純物拡散を行うことによってベース層やエミッタ層を順次形成するというものである。この技術は今日の大規模集積回路 (LSI : Large-Scale Integration) の製造技術に通じる画期的なものであった。その後、この技術を使ってバイポーラトランジスタを用いた集積回路が工業製品として生産されるようになる。続いて、シリコン表面を熱酸化して形成するシリコン酸化膜がシリコンとの間で良好な界面特性を示すことがわかってくると、1960 年代になってシリコンを用いた MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) が実用化され急速にその利用が進んだ。1960 年代後半、シリコンゲート技術とイオン注入技術を導入した自己整合 MOS プロセスが発表され、LSI への道が開かれた^{3,4)}。

† 肩付の数字は、章末の引用・参考文献番号を表す。

MOSFET を用いる LSI 技術が飛躍的な進歩を遂げた結果、現在では、使用されるトランジスタの大多数が MOSFET である。

有名なムーアの法則 (Moore's law) が唱えられたのは、1965 年のことといわれている。その一部は「1 チップ当たりのトランジスタ数は、約 2 年ごとに 2 倍になる。」というものである。図 1.2 に、1970 年代から 2010 年代までの約 40 年間の MPU (Micro-Processing Unit) のトランジスタ数の推移を示した。グラフの横軸は各製品の量産が開始された年である。図中の実線はムーアの法則を表しており、MPU の集積度の推移がこの法則によく従っていることがわかる。

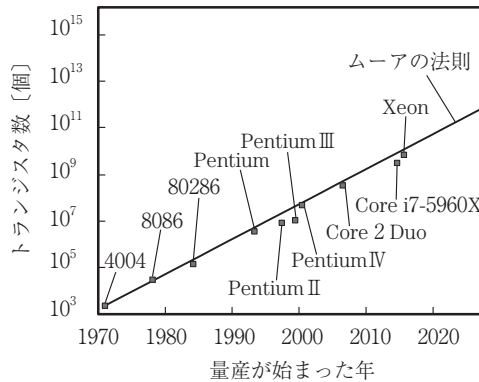


図 1.2 MPU のトランジスタ数の推移

では、集積回路の高集積化と高性能化が進んだ原動力について考えてみよう。集積回路に求められる性能は、概ね以下のように整理される。

- ① **集積度** さまざまな機能を搭載した電子機器を実現するために、多くの種類の電子回路が必要である。1 チップに多種類の電子回路を搭載するために集積回路の高集積化が求められている。また大きな情報量を扱うために大容量メモリが必要とされており、メモリ集積回路の高集積化が求められている。
- ② **信号処理速度** より多くの情報をより高速で処理できる電子機器が求められている。高速で情報処理を行うために、集積回路の動作周波数の向

4 1. 集積回路の微細化が進められた理由

上が求められてきた。その方策として、回路を構成する MOSFET の駆動電流を大きくし、回路内の寄生抵抗と寄生容量を低減することが重要である。

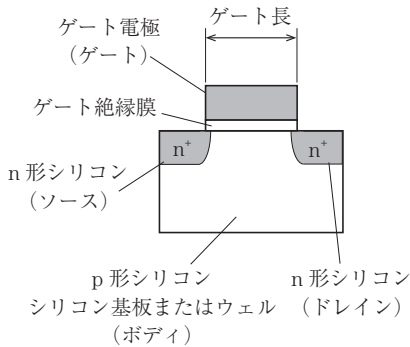
③ **消費電力** 電子機器を使用する際の電力コストを低減し発熱を抑制するために集積回路の消費電力の低減が求められている。またスマートフォンやウェアラブルコンピュータ、IoT 関連機器などは、限られた電源供給能力のもとで長時間の使用を求められるため、低消費電力の集積回路が必要である。世界中の電子機器の消費電力を合計すると莫大な量となる。それゆえ、地球環境のためにも電子機器を構成する集積回路の消費電力の低減が重要である。

④ **コスト** 上記の①～③を備えた集積回路が低価格で実現されることで、優れた性能と利便性を有する電子機器が人々や企業などの機関にとって購入可能な価格で供給されるようになる。このことによって、電子機器の新たな用途も開拓され、その種類が広がり、ますます多くの電子機器が人々の暮らしや社会に用いられるようになる。

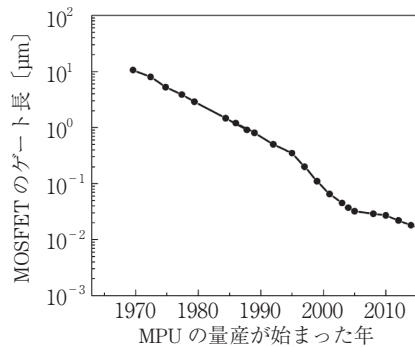
1970 年頃からの約 40 年間の長期にわたって、集積回路に対するこれらの要求を同時に実現できる解として、回路の微細化が有効であった。回路とそれを構成する MOSFET を微細化することによって、①～③の性能の向上と同時に、コストの低減を実現できることは集積回路の大きな特徴であった。一般に自動車や航空機などの他の工業製品では、高性能を追及すると製造コストが上昇してしまう。しかし集積回路では MOSFET を含む回路の寸法を縮小することによって①～④が実現できたのである。回路を微細化することによって、1 チップにより多くの素子を搭載できるようになるため、高集積化が実現できることは自明であろう。高速信号処理と消費電力の低減も MOSFET の微細化によって実現できたが、そのメカニズムについては 4 章で解説する。回路全体の微細化によって製造コストが下がる理由については次節で説明する。

1.2 集積回路の微細化と性能の推移

本節では、集積回路の微細化と動作周波数、製造コストのこれまでの推移を概観する。図 1.3(a)は、n チャンネル MOSFET の断面模式図である。実際に LSI に使用されている MOSFET はこの図に比べてかなり複雑な構造を有しているが、ここでは MOSFET を形作るために最低限必要なシリコン基板とゲート電極、ゲート絶縁膜、ソース、ドレインのみを描いた。図(b)は、MPU に使用されてきた MOSFET のゲート長と MPU の量産開始時期の関係を示している。図(a)に示すようにゲート長はゲート電極の寸法の一つであり、グラフの各点はその時期に使用が許された最小のゲート長を表している。最先端 LSI では 1970 年代から 2010 年代後半の今日まで、回路の設計基準を 2 年ごとに約 0.7 倍に縮小するというトレンドが踏襲されてきた。図(b)より、ゲート長は 1970 年からの 30 年間で 1/100 以下になったことがわかる。



(a) n チャンネル MOSFET の断面模式図



(b) MOSFET のゲート長と MPU の量産開始時期の関係⁵⁾

図 1.3 MOSFET のゲート長の推移

図 1.4 は、MPU の動作周波数と量産開始時期の関係を示している。MPU の動作周波数が飛躍的に向上してきたことがわかる。1970 年代から約 30 年間の動作周波数の向上には、回路とそれを構成する MOSFET の微細化が大きく

索 引

	【あ】		【け】
アクセプタ	50	化学気相堆積	117
アクセプタイオン	51	化学ポテンシャル	40
アクセプタ準位	51	拡散	58, 126
【い】		拡散定数	58
イオン注入技術	125	価電子帯	38
イオン注入装置	125	可動イオン	117, 122
イオン注入法	108	可変容量	77
移動度	56	還元ゾーン表示	34
井戸型ポテンシャル	19	間接遷移型半導体	60
異方性エッチング	114, 115	【き】	
イメージセンサ	13	基底状態	21
インバータ	89	機能設計	104
——の論理記号	90	基本逆格子ベクトル	26
【う】		基本格子ベクトル	25
ウェットエッチング	121	基本単位胞	25
ウェーハプロセスの流れ	107	基本並進ベクトル	25
		基本方程式	30
【え】		逆格子空間	26
液浸露光	111	逆格子点	26
エクステンション	135	逆格子ベクトル	26
エッチング	114	逆有効質量テンソル	46
エッチングガス	116	吸着	118
エネルギー固有値	21	許容帯	35
エネルギーバンド	31	禁制帯	35
エンハンスメント形	85, 88	金属配線	137
エンハンスメント形		【く】	
MOSFETの回路記号	89	空間電荷中性の条件	53
【か】		空格子	31
開口数	110	空格子近似	31
解像度	110	空乏近似	73
界面準位	117	空乏状態	66
化学機械研磨	124	空乏層	66
		空乏層電荷	66
		クリーンルーム	128
		クーロンポテンシャル	49
		群速度	44, 46
		結晶	24
		結晶糸	24
		結晶格子	24
		ゲート酸化膜	108, 141
		ゲート絶縁膜	5, 64, 138, 145
		ゲート長	5
		ゲート電極	108, 130
		ゲートファーストプロセス	130
		ゲート容量	141
		減圧 CVD	118
		研磨パッド	124
		【こ】	
		光学近接効果補正	112
		格子点	24
		高誘電率ゲート絶縁膜	138
		固定電荷	117
		コンタクトプラグ	136
		コンタクトホール	136
		コントロールゲート	161
		【さ】	
		再結合	54
		最大空乏層幅	73
		サイドウォールスペーサ	136
		サリサイド	146
		三次元 NAND 型	
		フラッシュメモリ	174
		【し】	
		しきい値電圧	74, 80, 94
		自己整合プロセス	136
		仕事関数	64
		周期的境界条件	29

周期的なポテンシャル 28
 自由電子 17
 縮重度 23
 縮退 23
 出力特性 85
 主量子数 21
 シュレディンガー方程式 18

常圧 CVD 118
 仕様設計 104
 状態密度 24
 状態密度有効質量 41, 42
 焦点深度 110
 シリコン 38
 シリコン結晶 24, 150
 シリコン酸化膜 116
 シリコン窒化膜 119
 真性キャリア密度 43
 真性半導体 38
 ——のフェルミ準位 38
 真性フェルミ準位 43

【す】

水素アニール 138
 水素様モデル 49
 スケーリング則 93
 ストリング 169
 スパッタリング装置 119
 スパッタリング法 119
 スペーサダブルパターニング 114
 スラリ— 124

【せ】

正孔 37, 47
 正孔密度 41, 52, 72
 生成 54
 製造コスト 7
 絶縁材料の比誘電率 142
 ゼロ点エネルギー 21
 前駆体 118
 線形領域 82
 ——のドレイン電流 85, 87
 清浄度クラス 128
 占有確率 40

【そ】

相互コンダクタンス 86
 ソース 81
 ソース-基板間バイアス 94
 ソース線 171
 ソフトエラー 157

【た】

ダイヤモンド構造 25
 多値記憶技術 172
 ダブルエクスポージャ 114
 ダブルパターニング 114
 ダマシングート・プロセス 144
 単位構造 24
 単位胞 24
 タングステン 136
 短チャネル効果 98

【ち】

遅延時間 96
 蓄積状態 66, 77
 チップコスト 7
 チャネル 81
 チャネル長 81
 チャネル幅 81
 直接遷移型半導体 60
 直接トンネリング 139
 直接トンネル電流 140
 チョクラルスキー法 150

【つ】

強い反転 73

【て】

抵抗率 57, 147
 低誘電率絶縁膜 137, 148
 テスト設計 105
 出払い領域 53
 デプレッション形 88
 電荷トラップ方式 165
 電子親和力 64
 電子占有確率 69
 伝達特性 85
 伝導帯 38

伝導電子 36, 48
 伝導電子密度 39, 41, 52, 72

【と】

銅拡散防止膜 149
 動作周波数 5
 銅多層配線 148
 導電率 57
 等方性エッチング 114
 ドーズ量 126
 ドナー 48
 ドナーイオン 48
 ドナー準位 49
 ド・プロイの関係式 17
 ドライエッチング 115
 トラップ準位 117
 ドリフト移動度 56
 ドリフト速度 56
 ドリフト電流 57
 ドレイン 81
 ドレイン電流 85, 87
 トレンチ 130, 149
 トンネル効果 139
 トンネル酸化膜 161, 166
 トンネル電流 139

【な】

ナトリウム 122

【に】

ニッケルシリサイド 136, 146

【ね】

ネガ型 109
 熱 CVD 118
 熱 CVD 法 119
 熱拡散 126
 熱酸化 116
 熱速度 56

【の】

ノーマリーオフ 87
 ノーマリーオン 88

【は】		フォトン	16	ボロン	50
配線抵抗	147	付着確率	118	ボンディングパッド	138
ハイブリッド集積回路	10	フッ酸溶液	121	【ま】	
波数	17	物質波	17	マスク ROM	12
波数空間	23	ブラッグの回折条件	33	ムーアの法則	3
パッシベーション膜	138	フラッシュメモリ	160	【め】	
パーティクル	122	フラットバンド状態	78	メタルゲート	143
バリヤメタル	136, 149	フラットバンド電圧	79	面心立方格子	24
反転状態	67	フラットバンド容量	79	【も】	
反転層	68	ブラベー格子	24	モノリシック集積回路	10
反転層電荷	84	プランク定数	16	【ゆ】	
バンドギャップ	34	フーリエ級数	26	有効質量	46
		フーリエ係数	26	有効状態密度	41, 42
【ひ】		フーリエ係数	26	【よ】	
ピアホール	137	ブリュアンゾーン	32	弱い反転	73
ビット線	154	プレーナ型キャパシタ構造	156	【り】	
比抵抗	57	プレーナ技術	2	理想 MOS 構造	64
表面電荷密度	66, 68, 77	ブロッキング酸化膜	166	リフレッシュ	154, 157
表面ポテンシャル	71	ブロッホ関数	30	リン	48
表面マイグレーション	118	ブロッホの定理	31	【れ】	
比例縮小則	93	フローティングゲート	161	レイアウト図	153, 163, 171
ピンチオフ状態	82, 85	フローティングゲート方式	160, 168	レイアウト設計	105
ピンチオフ点	82	分散関係	32	レバンスン型位相シフト	
ピンチオフ電圧	82	【へ】		マスク	112
【ふ】		平均射影飛程	126	【ろ】	
フィックの拡散の第一法則		平均自由時間	56	露光波長	111
	58	並進操作	26	論理しきい値電圧	93
フィックの第一法則	126	並進対称性	25	【わ】	
フィックの第二法則	127	平坦化	124	ワード線	154
フェルミ準位	40, 53	【ほ】			
フェルミ・ディラックの		ポアソン方程式	71, 76		
分布関数	40	ホウ素	50		
フェルミポテンシャル	64, 71	飽和領域	83		
フォトリソグラフィ技術	109	—のドレイン電流	85		
フォトレジスト	106	ボジ型	110		
		ホットエレクトロン	163		

【A】

acceptor	50
accumulation condition	66
ALD 法	120

Ammonium hydroxide and
hydrogen Peroxide

Mixture	123
APM	123

【B】

Back End Of Line	137
basis	24
BEOL	137

Bravais lattice 24
 Brillouin zone 32

[C]

channel 81
 Chemical Mechanical Polishing 124
 CMOS インバータ 89, 129
 —の回路図 89
 —の入出力特性 90
 CMOS 回路 89
 CMP 124
 CVD 117
 C-V 特性 75
 Czochralski 法 150
 CZ 法 150

[D]

depletion condition 66
 Depth of Focus 110
 diffusion constant 58
 direct tunneling 139
 DOF 110
 donor 48
 drain 81
 DRAM 154
 —のメモリセル 154
 drift mobility 56
 DSP 11
 Dynamic Random Access Memory 154

[E]

EEPROM 12
 Electrically Erasable and Programmable Read Only Memory 12
 EPROM 12
 Erasable and Programmable Read Only Memory 12

[F]

FEOL 137
 FinFET 145
 flat-band voltage 79
 F-N トンネリング 139

F-N トンネル電流 139
 Fowler-Nordheim トンネリング 139
 Front End Of Line 137

[G]

generation 54

[H]

HF 溶液 121
 hole 37
 HPM 123
 Hydrochloric acid and hydrogen Peroxide Mixture 123
 hydrogen-like model 49

[I]

I_D-V_D 特性 82, 85
 I_D-V_G 特性 85
 International Technology Roadmap for Semiconductors 7
 intrinsic semiconductor 38
 inversion condition 67
 inversion layer 68
 inverter 89
 ITRS 7

[K]

k 空間 23

[L]

low-k 膜 137, 149

[M]

magnetic field applied Czochralski method 151
 mask ROM 12
 MCU 11
 MCZ 法 151
 mean free time 56
 MONOS 型メモリ 166
 Moore's law 3
 MOS 構造 63
 MPU 11

[N]

NAND 型フラッシュメモリ 13, 167
 NiSi 136, 146
 normally off 87
 normally on 88
 NOR 型フラッシュメモリ 13, 160
 NOT 論理ゲート 89
 n ウェル 130
 n 形半導体 48
 n チャネル MOSFET 5, 81, 86

[O]

OPC 112
 Optical Proximity Correction 112

[P]

PECVD 118
 Plasma Enhanced CVD 118
 precursor 118
 primitive cell 25
 p ウェル 130
 p 形半導体 51
 p チャネル MOSFET 81, 86

[R]

RAM 11
 Random Access Memory 11
 Rapid Thermal Annealing 128
 RCA 洗浄 123
 Reactive Ion Etching 115
 Read Only Memory 11
 reciprocal lattice point 26
 recombination 54
 RIE 115
 ROM 11
 RTA 128

[S]

salicide 146

SC-1	123	Static Random Access	
SC-2	123	Memory	158
Schrödinger equation	18	STI	129
self-aligned silicide	146	string	169
Shallow Trench Isolation	129	strong inversion	73
		Sulfuric acid and hydrogen	
Si ₃ N ₄	119	Peroxide Mixture	123
Siemens 法	150	System on a Chip	8
SiO ₂ 膜	116		
SoC	8	【T】	
source	81	the condition of space-charge	
sp ³ 混成軌道	38	neutrality	53
SPM	123	trench	130
SRAM	158		
Standard Clean 1	123	【U】	
Standard Clean 2	123	unit cell	24
			【V】
			voltage transfer curve 90
			【W】
			weak inversion 73
			【Z】
			zero-point energy 21
			【ギリシャ文字】
			Γ 点 60
			【数字】
			4 端子表記 88

— 著者略歴 —

- 1981年 名古屋大学工学部応用物理学科卒業
1983年 名古屋大学大学院工学研究科博士前期課程修了（応用物理学専攻）
1983年 三菱電機株式会社（LSI研究所、ULSI開発研究所、メモリ事業統括部、ULSI技術開発センター）
1997年 博士（工学）（名古屋大学）
2003年 株式会社ルネサステクノロジ（生産技術本部、生産本部）
2005年 東海大学教授
現在に至る

集積回路のための半導体デバイス工学

Semiconductor Device Engineering for Integrated Circuits

© Kiyoteru Kobayashi 2018

2018年4月6日 初版第1刷発行



検印省略

著者 小 林 清 輝
発行者 株式会社 コロナ社
代表者 牛来真也
印刷所 新日本印刷株式会社
製本所 有限会社 愛千製本所

112-0011 東京都文京区千石 4-46-10
発行所 株式会社 コロナ社
CORONA PUBLISHING CO., LTD.

Tokyo Japan

振替 00140-8-14844 ・ 電話 (03)3941-3131(代)

ホームページ <http://www.coronasha.co.jp>

ISBN 978-4-339-00909-5 C3055 Printed in Japan

(柏原)



JCOPY <出版者著作権管理機構 委託出版物>

本書の無断複製は著作権法上での例外を除き禁じられています。複製される場合は、そのつど事前に、出版者著作権管理機構（電話 03-3513-6969, FAX 03-3513-6979, e-mail: info@jcopy.or.jp）の許諾を得てください。

本書のコピー、スキャン、デジタル化等の無断複製・転載は著作権法上での例外を除き禁じられています。購入者以外の第三者による本書の電子データ化及び電子書籍化は、いかなる場合も認めていません。落丁・乱丁はお取替えいたします。