

デジタル回路演習ノート

工学博士 浅井秀樹著

コロナ社

まえがき

昨今のデジタル技術の進歩は著しい。民生機器や通信分野をはじめとする劇的な発展は、デジタル技術の進歩なしには考えられない。デジタル技術の著しい発展は、20世紀を代表する文化にまで成長したといえる。デジタル技術を支える大きな柱としてデジタル回路設計技術とその集積化技術が挙げられる。電気製品の小型化と高性能化はひとえに半導体集積回路技術の進歩によるものと言っても過言ではない。トランジスタが発明されてからわずか数十年の間に、IC (integrated circuit), LSI (large scale integrated circuit) の時代を経て VLSI (very large scale integrated circuit), ULSI (ultra large scale integrated circuit) と呼ばれる時代になった。また、IC 時代における少品種多量生産から ASIC (application specific integrated circuit) 時代の多品種少量生産へと形態が変遷してきた。その間、設計回路の大規模化に伴い、設計の効率化が焦点となり、CAD (computer-aided design) や EDA (electrical design automation) 分野が著しく発展し、最近では、HDL (hardware description language) や論理合成の重要性が叫ばれている。すでに、時代は、1チップ上に大規模なシステムを組み込む SoC (system on chip) 時代に突入している。

一方、大学での講義用を含め、デジタル論理回路に関する多くの書籍が出版されてきている。また、デジタル回路をはじめて学習する工学部専門課程の学生に対応したよい入門書がたくさん書かれているのも事実である。事実、私自身もコロナ社出版の教材を使用しながら、10年間以上にわたりデジタル回路の講義を行ってきた。

そこで、例題を詳細に解説することに重点を置いた大学課程に適した入門書が書けないだろうかという観点からこのテキストを執筆することにした。本テキストでは、演習ノートと題しているように、デジタル論理回路の例題を多

数示し、その解説を通して論理回路の解析と設計（合成）の本質を理解してもらうことを目的としている。本書では、解説項目として、デバイスや論理回路の中身であるトランジスタレベルの内容については、その詳細を控え、論理に焦点を絞って述べている。これは、国内の多くの大学課程における半期十数コマという限られた時間内で、デジタル回路の基本を繰返し学習することで確実に習熟してほしいという願いからである。また、近年のこの分野における技術革新は日進月歩である一方で、その基本的概念は一貫されており、かつ、大学学部課程等での入門者に対しては、できる限り普遍的な事項を学んでもらいたいという立場から内容を構成している。

数多く出版されているデジタル回路に関するテキストの演習書としての使用はもちろんのこと、本書単独でのデジタル回路の学習書としての使用に耐えるよう考慮している。学生諸君のお役に立てば幸いである。

最後に、本テキストを執筆する機会を与えてくださったコロナ社に深謝する。

2001年8月

浅井秀樹

目 次

1. 2 進 数

1.1 2 進 データ	1
1.2 2 進数, 16 進数による表現	3
1.3 2 進 演 算	4
1.3.1 2 進数の加算	5
1.3.2 2 の 補 数	7
1.3.3 2 の補数を用いた減算	8
1.3.4 1 の補数と減算	10
1.3.5 その他の2進演算	13

2. 論理演算とブール代数

2.1 論 理 関 数	16
2.2 ブール代数	18
2.3 真 理 値 表	21
2.4 ゲート回路と回路記号	23
2.5 加法標準形と乗法標準形	24
2.6 カルノー図とブール代数の簡単化	29
2.6.1 2変数と3変数に対するカルノー図	30
2.6.2 4変数に対するカルノー図	36
2.6.3 5変数に対するカルノー図	37
2.7 ゲート回路の構造	39
2.7.1 トランジスタ	39
2.7.2 MOS トランジスタによるインバータの構成	41
2.7.3 CMOS インバータ回路	41

2.7.4 CMOS 構成によるゲート回路	42
2.7.5 CMOS 構成による論理回路	43

3. 組合せ回路

3.1 デコーダ	46
3.2 マルチプレクサとデマルチプレクサ	49
3.3 算術演算回路	53

4. ラッチとフリップフロップ

4.1 非同期式ラッチ回路の動作	59
4.2 同期式ラッチ回路の動作	64
4.3 同期式ラッチの設計	68
4.4 フリップフロップの構成	73
4.4.1 マスタスレーブ型フリップフロップ	74
4.4.2 エッジトリガ型フリップフロップ	75
4.5 フリップフロップの種類	78
4.6 フリップフロップの相互変換	81

5. 順序回路の動作 (解析)

5.1 カウンタ	86
5.2 シフトレジスタ	91
5.3 リングカウンタ	93
5.4 ジョンソンカウンタ	95

6. 順序回路の設計 (合成)

6.1 カウンタの設計	98
6.2 シフトレジスタの設計	105
6.3 リングカウンタの設計	112

6.4 ジョンソンカウンタの設計	115
6.5 その他の設計例	118

7. 記 憶 回 路

7.1 リードオンリーメモリ	121
7.2 ランダムアクセスメモリ	128

8. 総 合 演 習

索 引	169
-----------	-----

1

2 進 数

デジタル回路では、すべての情報を1または0で表現する。最も簡単な例は、「ある」、「ない」である。例えば、「電球が点灯している」状態と「電球が消えている」状態を1と0に対応させることができる。この一つのことをビット (binary digit, bit) と呼ぶ。1ビットでは、1と0の二つのパターンしか表現できない。2ビットあれば、00, 01, 10, 11 というように4($=2^2$)通りのパターンを表現することができる。デジタル分野では、8ビットを1バイト (byte) と呼び、複数のバイトを一固まりに扱うことで情報を表現する。現在、世の中で主流となっている32ビットパーソナルコンピュータでは、4バイトを一固まり (これをワードと呼ぶ) としたデータ構造をとっている。本章では、デジタル論理回路の分野での情報の基礎となる2進数および2進数を用いた算術演算について述べる。

1.1 2 進 デ ー タ

デジタル分野では、すべての情報を0と1で表現する。数字はもちろんのことアルファベットや様々な記号もすべて同様に表現する。そのための規格としてJIS (Japanese Industrial Standard) やASCII (American Standard Code for Information Interchange) がある。JIS 7ビット符号の例を表1.1に示す。

1.2 2進数, 16進数による表現

我々が日常的に使用している10進数 N_d は m を整数として

$$N_d = d_0 \times 10^m + d_1 \times 10^{m-1} + \cdots + d_{m-1} \times 10^1 + d_m \times 10^0$$

と表現できる。ここで、係数 d_i ($i=0, 1, \dots, m$) は、0 から 9 までの整数値をとる。この10進数 N_d は、 $(m+1)$ 桁の値であり、 $d_0 d_1 \cdots d_{m-1} d_m$ と表記される。一方、2進数 N_b は

$$N_b = b_0 \times 2^m + b_1 \times 2^{m-1} + \cdots + b_{m-1} \times 2^1 + b_m \times 2^0$$

と表現できる。2進数では、各桁の係数 b_i は、0 または 1 の値をとる。この数は2進数として $(m+1)$ 桁であり、 $b_0 b_1 \cdots b_{m-1} b_m$ と表記される。 $(m+1)$ 桁の2進数により、10進数の0から $(2^{m+1}-1)$ までの整数を表現できる。

小数点以下の2進数も同様に表現することができる

$$N_b' = b_{-1} \times 2^{-1} + b_{-2} \times 2^{-2} + b_{-3} \times 2^{-3} + \cdots$$

の形で表現できる。ここで、係数 b_{-i} は0または1の値をとる。

数を表現する場合、日常的には10進法 (decimal system) が利用されている。デジタル分野においては、2進法 (binary system) のほかに8進法 (octal system) や16進法 (hexadecimal system) が利用される。特に2進法はデジタル回路の実装に便利であることから常用されている。

ここで、16進法についての簡単な説明をする。 $h_0 h_1 \cdots h_{m-1} h_m$ と表記される $(m+1)$ 桁の16進数 N_h は

$$N_h = h_0 \times 16^m + h_1 \times 16^{m-1} + \cdots + h_{m-1} \times 16^1 + h_m \times 16^0$$

と表現できる。16進数では、各桁の係数 h_i は、0 から 15 までの値をとることになる。ただし、各桁の値は、一つの文字で表現するために、10 から 15 までの数に対しては、A, B, C, D, E, F を対応させて表記する。

【例 1.1】 10進数の185を2進数と16進数で表せよ。

【解答例】

$$185 = 1 \times 2^7 + 0 \times 2^6 + 1 \times 2^5 + 1 \times 2^4 + 1 \times 2^3 + 0 \times 2^2 + 0 \times 2^1 + 1 \times 2^0$$

4 1. 2 進 数

である。すなわち

$$b_0=1, b_1=0, b_2=1, b_3=1, b_4=1, b_5=0, b_6=0, b_7=1$$

である。したがって、10進数の185は、2進数で

$$b_0b_1b_2b_3b_4b_5b_6b_7=10111001$$

と表記される。一方

$$185=11 \times 16^1 + 9 \times 16^0$$

である。すなわち

$$h_0=11, h_1=9$$

である。16進法では、11をBで表現するから、結局、10進数の185は、16進数で

$$h_0h_1=B9$$

となる。

ここで、2進表現10111001と16進表現B9を比較する。2進数を下位から4ビットずつ区切って

$$1011 \mid 1001$$

と考えると、上位4ビットは10進で11、すなわち、16進でB、下位4ビットが16進で9となっていることが容易にわかる。10進数の11と9は、16進数のBと9に対応する。すなわち、2進数を下位から4ビットずつ区切って、それらを各々16進表現することで、16進数に変換することができる。

1.3 2 進 演 算

デジタルシステムにおける算術演算では、通常、2進数が用いられる。1ビットの計算は

$$0+0=0$$

$$0+1=1$$

$$1+0=1$$

$$1+1=10$$

の4通りしかなく、10進演算に比べて極めて簡単である。

通常、複数ビットの算術演算においては、あるビットに注目すると、下位ビットからの桁上げ (carry-in) と上位ビットへの桁上げ (carry-out) が発生する。また、算術演算に用いられる 2 進数では、最上位ビットが符号ビットとして扱われる。この符号ビットの値は、正の数であれば 0、負の数 (後述する補数) では 1 で表現する。

1.3.1 2 進数の加算

【例 1.2】 次の 10 進演算を 2 進演算で行え。

$$5+3=8$$

【解答例】 ここでは、10 進数を $()_a$ 、2 進数を $()_b$ と表現する。また、2 進数は、最上位ビットを符号として符号込みで 5 ビットの形で表現することにする。

10 進数の 5 と 3 は、それぞれ、2 進数では

$$(5)_a=(00101)_b$$

$$(3)_a=(00011)_b$$

と表現できる。演算例の 5 と 3 は、共に正の数であるから、共に符号ビット (各 2 進数の最上位ビット) は 0 である。各ビットを次のように筆算の要領で計算する。

$$\begin{array}{r} 00101 \\ +)00011 \\ \hline 01000 \end{array}$$

最下位ビットは共に 1 であるから、 $1+1=(2)_a=(10)_b$ となり、和が 0 で、2 ビット目に桁上げを生じることがわかる。2 ビット目の計算では、各ビットの値が 0 と 1 であり、最下位ビットからの桁上げ 1 を考慮して、 $0+1+1=(2)_a=(10)_b$ となり、和が 0 で、3 ビット目に桁上げが生じる。同様に計算を行うことにより、答えは、 $(01000)_b=(8)_a$ となり、正しい計算結果が得られる。このとき、最終結果の最上位ビットも 0、すなわち演算結果が正であることに注意すべきである。

例 1.1 では、正しい答えが得られた。それでは、次の例を考える。

索引

【あ行】		次状態デコーダ	100	ド・モルガンの定理	19
アドレスデコーダ	126	シフトレジスタ	91	トランジスタ	39
あふれ	6	10の補数	11	【な行】	
1素子型ダイナミック記憶セル	131	16進法	3	2進化10進	46
1の補数	7	10進法	3	2進数	1
一致回路	21	順序回路	16	2進法	3
インバータ回路	41	状態遷移図	94, 99	2の補数	7
エッジトリガ型フリップフロップ	75	状態遷移表	96, 99	【は行】	
エンコーダ	46	乗法標準形	25	排他的論理和	22
エンドアラウンドキャリヤ	10, 11	ジョンソンカウンタ	95, 116	バイト	1
オーバフロー	6	真理値表	16, 21	バイポーラトランジスタ	39
【か行】		スタティックセル	128	8進カウンタ	87
カウンタ	86	正論理	63	8進法	3
加法標準形	24, 25	セルマトリックス	126	バッファレジスタ	126
カルノー図	29	全加算器	53	半加算器	53
完備集合	17	双対性の原理	19	ビット	1
記憶回路	121	双対律	19	非同期式ラッチ	60
記憶ループ	60	相補形 MOS	42	負荷 MOS トランジスタ	41
キャリールックアヘッド型加算器	57	相補律	19	符号ビット	5
吸収律	20	【た行】		フリップフロップ	59
9の補数	13	対合律	19	ブール代数	16, 18
組合せ回路	16	ダイナミックセル	128	プログラマブル ROM	122
桁上げ	5	チャンネル	40	負論理	47, 63
結合律	18	直列加算器	160	分配律	19
ゲート回路	18	ツイステッドリングカウンタ	116	べき等律	18
交換律	18	デコーダ	46	【ま行】	
5進カウンタ	88	デマルチプレクサ	49	マスク ROM	122
【さ行】		同期式 D ラッチ	66	マスタスレーブ型フリップフロップ	74
自己補正型リングカウンタ	93, 112	同期式 2 ビットシフトレジスタ	107	マルチプレクサ	49
		同期式 (並列) 8 進カウンタ	99	ミニマルカバー	37
		同期式ラッチ	64	メモリアドレスレジスタ	126
		特性表	68	メモリ回路	121

			128	憶セル	128
【や行】		リードオンリーメモリ	121	論理回路	16
ユニポーラトランジスタ	39	リプルキャリア型加算器	54	【わ行】	
		リングカウンタ	92	ワード	1
【ら行】		励起表	69		
ラッチ	59	レーシング	59		
ランダムアクセスメモリ		6素子型スタティック記			

ASCII	1	dynamic cell	128	multiplexer	49
associative law	18	edge trigger 型 FF	76	NAND 型同期式 SR ラッチ	
BCD	46	encoder	46		65
binary coded decimal	46	end-around carry	11	NAND 型非同期式 SR	
binary digit	1	EPROM	127	ラッチ	62
bipolar transistor	39	erasable PROM	127	nMOS トランジスタ	40
bit	1	excitation table	69	NOR 型非同期式 SR ラッチ	
Boolean algebra	18	exclusive NOR	21		60
BR	126	exclusive OR	22	one's complement	7
byte	1	Ex-NOR	21	ϕ	47
carry-in	5	FAMOS	127	pMOS トランジスタ	40
carry look ahead	57	FF	59	principle of duality	19
carry-out	5	flip-flop	59	programmable ROM	122
channel	40	floating-gate avalanche		PROM	122
characteristic table	68	injection MOS	127	racing	59
CMOS インバータ	41	full adder	53	RAM	121, 128
combinational circuit	16	gate circuit	18	random access memory	
commutative law	18	half adder	53		128
complemental MOS	42	idempotent law	18	read only memory	121
complementary law	19	involution law	19	ring counter	92
complete set	17	JIS	1	ROM	121
conjunctive canonical		JK-FF	80, 83	sequential circuit	16
form	25	Johnson counter	95	shift register	91
counter	86	Karnaugh map	29	SR-FF	78
decoder	46	latch	59	static cell	128
de Morgan's theorem	19	load MOS transistor	41	T-FF	82
demultiplexer	49	logic circuit	16	transistor	39
D-FF	79	MAR	126	truth table	21
disjunctive canonical form		mask ROM	122	twisted ring counter	116
	25	metal oxide semiconductor		two's complement	7
distributive law	19		40	unipolar transistor	39
don't care	47	minimal cover	37		
dualization law	19	MOS トランジスタ	39		

— 著者略歴 —

- 1980年 慶應義塾大学工学部電気工学科卒業
1982年 慶應義塾大学大学院修士課程修了（電気工学専攻）
1985年 慶應義塾大学大学院博士課程修了（電気工学専攻）
工学博士（慶應義塾大学）
1985年 上智大学助手
1986年 静岡大学講師
1987年 静岡大学助教授
1997年 静岡大学教授
2006年 セサミテクノロジー(株)代表取締役（兼務）
現在に至る

デジタル回路演習ノート

© Hideki Asai 2001

2001年10月5日 初版第1刷発行
2016年9月20日 初版第14刷発行

検印省略

著者 あき い ひで き 浅井秀樹
発行者 株式会社 コロナ社
代表者 牛来真也
印刷所 三美印刷株式会社

112-0011 東京都文京区千石4-46-10

発行所 株式会社 コロナ社
CORONA PUBLISHING CO., LTD.

Tokyo Japan

振替 00140-8-14844・電話 (03) 3941-3131(代)

ホームページ <http://www.coronasha.co.jp>

ISBN 978-4-339-00735-0 (川田) (製本:愛千製本所)

Printed in Japan



本書のコピー、スキャン、デジタル化等の無断複製・転載は著作権法上での例外を除き禁じられております。購入者以外の第三者による本書の電子データ化及び電子書籍化は、いかなる場合も認めておりません。

落丁・乱丁本はお取替えいたします