

頁	行・図	誤	正																								
11	3行目	2回だけ主記憶装置にアクセスする	主記憶装置に2回アクセスする																								
	4行目	しかし、プログラムを移動させた場合でも、この指定方法であれば、命令をまったく変更しないで任意の記憶場所を参照できる。	しかし、固定長命令では、直接アドレス指定よりビット幅が大きいアドレス指定が可能である。																								
16	下から8行目	メモリアクセス含めた	メモリアクセスを含めた																								
25	コーヒークレイクの下2行目	i (informationのi)	i																								
27	下から4行目	0.000110001100011...	0.0001100110011...																								
30	7行目	n^{m-1}	n^m-1																								
46	下から12行目	11000110... (以下略)	01000110... (以下略)																								
47	3行目	七つのステップ	六つのステップ ※それに伴い、Step7は削除																								
	12行目	乗算の方法	加算の方法																								
	下から9行目	$1.101 + 0.1001 = 10.0011$	$1.101 + 0.1011 = 10.0101$																								
	下から8行目	$10.0011 \times 2^5 = 1.00011 \times 2^6$	$10.0101 \times 2^5 = 1.00101 \times 2^6$																								
	下から6行目	1.00011	1.00101																								
48	10行目	-0.001010	0.00101																								
	11,12行目	0.111110	0.11111																								
	下から5行目	加算の方法	乗算の方法																								
51	下から2行目	0.4375	4.375																								
68	表3.23中	<table border="1"> <thead> <tr> <th>関数名</th> <th>論理式</th> <th>論理回路</th> </tr> </thead> <tbody> <tr> <td>論理積 (AND)</td> <td>$F = X \cdot Y$</td> <td></td> </tr> <tr> <td>論理和 (OR)</td> <td>$F = X + Y$</td> <td></td> </tr> <tr> <td>否定 (NOT)</td> <td>$F = \bar{A}$</td> <td></td> </tr> </tbody> </table>	関数名	論理式	論理回路	論理積 (AND)	$F = X \cdot Y$		論理和 (OR)	$F = X + Y$		否定 (NOT)	$F = \bar{A}$		<table border="1"> <thead> <tr> <th>関数名</th> <th>論理式</th> <th>論理回路</th> </tr> </thead> <tbody> <tr> <td>論理積 (AND)</td> <td>$F = A \cdot B$</td> <td></td> </tr> <tr> <td>論理和 (OR)</td> <td>$F = A + B$</td> <td></td> </tr> <tr> <td>否定 (NOT)</td> <td>$F = \bar{A}$</td> <td></td> </tr> </tbody> </table>	関数名	論理式	論理回路	論理積 (AND)	$F = A \cdot B$		論理和 (OR)	$F = A + B$		否定 (NOT)	$F = \bar{A}$	
		関数名	論理式	論理回路																							
		論理積 (AND)	$F = X \cdot Y$																								
		論理和 (OR)	$F = X + Y$																								
否定 (NOT)	$F = \bar{A}$																										
関数名	論理式	論理回路																									
論理積 (AND)	$F = A \cdot B$																										
論理和 (OR)	$F = A + B$																										
否定 (NOT)	$F = \bar{A}$																										
79	図4.11																										
80	コーヒークレイクの図3																										
91	図4.26	01	01h																								
93	図4.29		<p>信号線を分配する様子を本書ではこのように略記する。 ここでは16本のアドレス線をA15とA14とA13~0に分配している。</p>																								
124	図5.28の図説	8ビットインクリメンタ	8ビットインクリメンタの桁上げ先見回路																								
128	9行目	いずれのレジスタも16ビットである。	FR以外のレジスタは16ビットである。																								
147	図6.26	(5行目) GR2	GR1																								
		(12行目) GR1	GR3																								