

## 『FPGA 時代に学ぶ集積回路のしくみ』正誤表

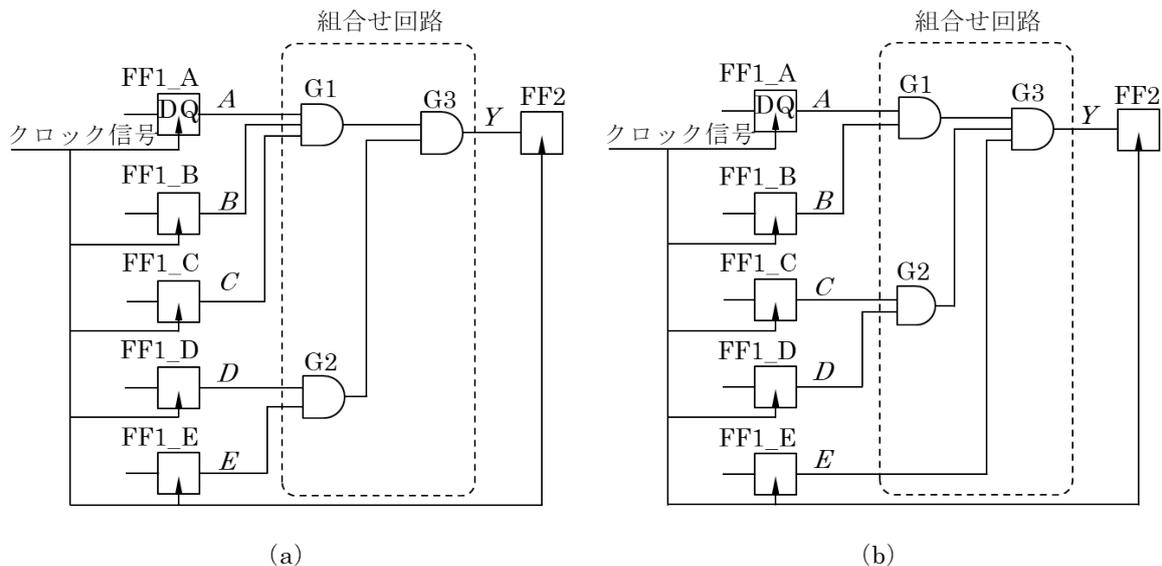
このたびは本書をお買い上げいただき、誠にありがとうございます。

本書には下記のような誤りがありました。ここに訂正し、謹んでお詫び申し上げます。

頁	箇所	誤	正 (赤字の箇所が変更箇所)
32	6 行目	pMOS と $W$	pMOS の $W$
53	1 行目	頂点 $I_{ds}$ は	頂点での $I_{ds}$ は
69	下 8 行目	立上り遅延時間を 立下り遅延時間	立上り遅延時間と 立下り遅延時間
70	3 行目		
123	1 行目	たがいに直行する	たがいに直交する
127	3 行目	プラズマを作った 配線の...	プラズマを使った配線の...
137	図 11.5	$I_{gate}$ $I_{sub}$	$I_{GATE}$ $I_{SUB}$
187	【9.1】 (1)	(省略)	3 入力 AND 回路を使って組合せ回路部分を変更した回路を、解図 9.1 (a) および図 (b) に示す。このほかにも別解があるが、いずれも組合せ回路部分の遅延時間は、3 入力 AND 回路 1 段と 2 入力 AND 回路 1 段の遅延時間の和となり、 $40 \text{ ps} + 30 \text{ ps} = 70 \text{ ps}$ まで小さくできる。
	【9.1】 (2)	(省略)	式 (9.2) より、同期回路のクロック周期の最小値を求めると $t_{d\_FF} + t_{pd\_max} + t_{setup} = 90 \text{ ps} + 70 \text{ ps} + 60 \text{ ps} = 220 \text{ ps}$ であるので、最大動作周波数は $1/220 \text{ ps} \doteq 4.5 \text{ GHz}$ となる。
190	解図 9.1	(省略)	(別記)

①

(別記)



解図 9.1