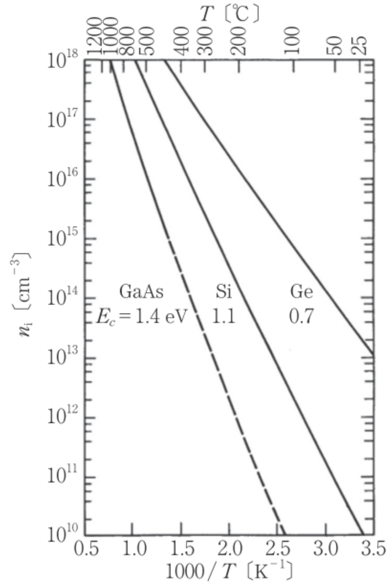
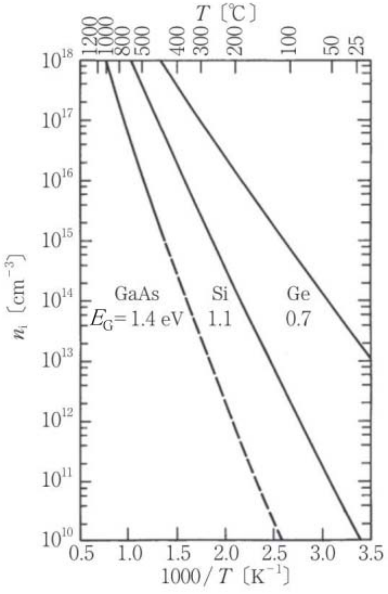
「集積回路のための半導体デバイス工学」　　正誤表（初版第 1 刷）

頁	行・図・式	誤	正
20	上から 19 行目	式(2.17)は，前節の式(2.12)と同じ一次元の自由電子のシュレディンガー方程式	式(2.17)は，一次元の自由電子のシュレディンガー方程式
20	下から 2 行目	式(2.11)の関係	式(2.10)の関係
23	上から 12 行目	$E(k_x, k_y, k) = \frac{\hbar^2}{2m}(k_x{}^2 + k_y{}^2 + k_z{}^2) = \frac{\hbar^2}{2m}\|\boldsymbol{k}\|^2$ (2.38)	$E(k_x, k_y, k_z) = \frac{\hbar^2}{2m}(k_x{}^2 + k_y{}^2 + k_z{}^2) = \frac{\hbar^2}{2m}\|\boldsymbol{k}\|^2$ (2.38)
44	図 3.4		
94	上から 16 行目	同様に次世代 MOSFET のゲート電圧 V_G' とソース電圧 V_S'，ドレイン電圧 V_D'，ボディ電圧 V_B' を現世代 MOSFET の各電圧の $1/\kappa$ 倍に小さくする。 $V_G' = \frac{V_G}{\kappa}$，　$V_S' = \frac{V_S}{\kappa}$，　$V_D' = \frac{V_D}{\kappa}$，　$V_B' = \frac{V_B}{\kappa}$ (4.76)	同様に次世代 MOSFET のゲート電圧 V_G' とソース電圧 V_S'，ドレイン電圧 V_D' を現世代 MOSFET の各電圧の $1/\kappa$ 倍に小さくする。 $V_G' = \frac{V_G}{\kappa}$，　$V_S' = \frac{V_S}{\kappa}$，　$V_D' = \frac{V_D}{\kappa}$ (4.76)
94	上から 22 行目	式（4. 24）	式（4. 47）
94	上から 24 行目	$V_T = \frac{t_{ox}}{\varepsilon_0 \varepsilon_{ox}}\sqrt{2\varepsilon_0 \varepsilon_S q N_A (2\phi_F + V_{SB})} + 2\phi_F$ (4.78)	$V_T = \frac{t_{ox}}{\varepsilon_0 \varepsilon_{ox}}\sqrt{2\varepsilon_0 \varepsilon_S q N_A (2\phi_F + V_{SB})} + 2\phi_F + V_{FB}$ (4. 78)

95	上から1行目	$$V_T' = \frac{t_{OX}}{\kappa\,\varepsilon_0\,\varepsilon_{OX}}\sqrt{2\,\varepsilon_0\,\varepsilon_S\,q\kappa N_A\left(2\phi_F'+\frac{V_{SB}}{\kappa}\right)}+2\phi_F' \sim \frac{V_T}{\kappa} \qquad (4.79)$$ と近似でき，現世代のしきい値電圧の約 $1/\kappa$ 倍とおくことができる。上式で ϕ_F' は次世代 MOSFET のシリコン基板のフェルミポテンシャルである。	$$V_T' = \frac{t_{OX}}{\kappa\varepsilon_0\varepsilon_{OX}}\sqrt{2\varepsilon_0\varepsilon_S q\kappa N_A(2\phi_F'+V_{SB}')}+2\phi_F'+V_{FB} \qquad (4.79)$$ と書ける。ここで，ϕ_F'とV_{SB}'は次世代 MOSFET のフェルミポテンシャルとソース-基板間バイアスである。$2\phi_F'+V_{FB}\cong 0$ となるようにゲート電極などの材料を選び，$2\phi_F'+V_{SB}'\cong(2\phi_F+V_{SB})/\kappa$となるように次世代 MOSFET のボディ電圧$V_B'$を調整すると$V_T'\cong V_T/\kappa$ とすることができる。
103	上から14行目	（2） 次世代 MOSFET のゲート電圧 V_G' とソース電圧 V_S'，ドレイン電圧 V_D'，ボディ電圧 V_B' と現世代 MOSFET の各電圧の間に $$V_G'=\frac{V_G}{\kappa},\quad V_S'=\frac{V_S}{\kappa},\quad V_D'=\frac{V_D}{\kappa},\quad V_B'=\frac{V_B}{\kappa}$$ が成り立つとする。	(2) 次世代 MOSFET のゲート電圧 V_G' とソース電圧 V_S'，ドレイン電圧 V_D' と現世代 MOSFET の各電圧の間に $$V_G'=\frac{V_G}{\kappa},\quad V_S'=\frac{V_S}{\kappa},\quad V_D'=\frac{V_D}{\kappa}$$ が成り立つとする。
106	上から3行目	薄膜形成→フォトリソグラフィ→CMP	薄膜形成→CMP→フォトリソグラフィ
139	上から10行目	SiO_2酸化膜の禁制帯	SiO_2膜の禁制帯
144	上から3行目	不純物イオン注入との熱処理（アニール）を行う。	不純物イオン注入と熱処理（アニール）を行う。