

【9】 =====

7ビットのハミング符号を生成する行列演算の式より, 検査記号  $c_1, c_2, c_3$  が以下の式で計算されていることが分かる. すなわち,  $c_1, c_2, c_3$  は偶数パリティである.

$$c_1 = a_1 + a_2 + a_3 \pmod{2}$$

$$c_2 = a_2 + a_3 + a_4 \pmod{2}$$

$$c_3 = a_1 + a_3 + a_4 \pmod{2}$$

従って, これらは排他的論理和 (XOR) を用いて以下の式で求めることができる.

$$c_1 = a_1 \oplus a_2 \oplus a_3$$

$$c_2 = a_2 \oplus a_3 \oplus a_4$$

$$c_3 = a_1 \oplus a_3 \oplus a_4$$

ここで,  $c_2$  および  $c_3$  が共に  $a_3 \oplus a_4$  なる項を持っているので,

$$b = a_3 \oplus a_4$$

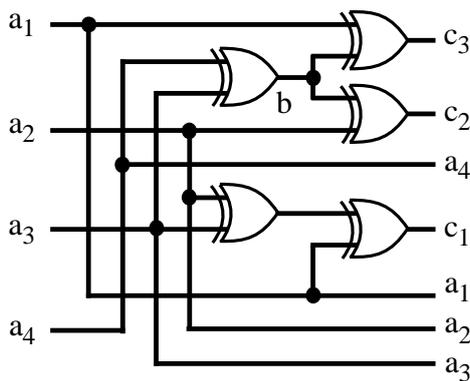
とおき, さらに,  $c_1$  を求める際,  $a_2 \oplus a_3$  を先に計算することにすれば, 次式のように変形できる.

$$c_1 = a_1 \oplus (a_2 \oplus a_3)$$

$$c_2 = a_2 \oplus b$$

$$c_3 = a_1 \oplus b$$

これらの式より, 2入力 XOR ゲートを用いた組み合わせ回路を, 下図のように構成することができる. 左側が入力, 右側が出力を示す.

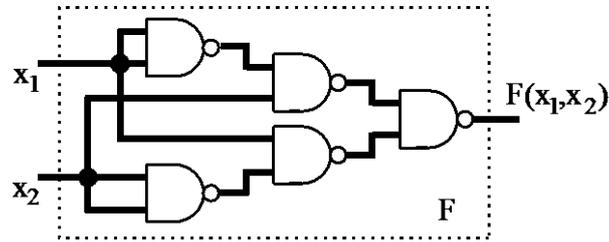


次に, XOR を 2 入力 NAND ゲートだけで構成するため, 次のように変形し,

$$x_1 \oplus x_2 = x_1 \cdot \bar{x}_2 + \bar{x}_1 \cdot x_2 = \overline{\overline{x_1 \cdot \bar{x}_2 + \bar{x}_1 \cdot x_2}} = \overline{(\overline{x_1 \cdot \bar{x}_2}) \cdot (\overline{\bar{x}_1 \cdot x_2})}$$

$x_1 \oplus x_2$  を出力する下図の NAND 回路  $F(x_1, x_2)$  を考える.

$$F(x_1, x_2) = \overline{(x_1 \cdot \bar{x}_2)} \cdot \overline{(\bar{x}_1 \cdot x_2)} = x_1 \oplus x_2$$



今, 以下の  $b_1, b_2$  を用いて,

$$b_1 = a_2 \oplus a_3 = F(a_2, a_3)$$

$$b_2 = a_3 \oplus a_4 = F(a_3, a_4)$$

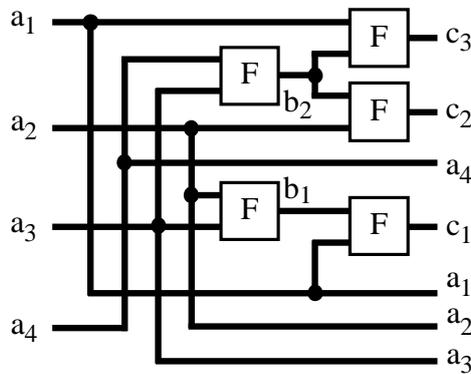
$c_1, c_2, c_3$  の式を次のように変形する.

$$c_1 = a_1 \oplus a_2 \oplus a_3 = a_1 \oplus b_1 = F(a_1, b_1)$$

$$c_2 = a_2 \oplus a_3 \oplus a_4 = a_2 \oplus b_2 = F(a_2, b_2)$$

$$c_3 = a_1 \oplus a_3 \oplus a_4 = a_1 \oplus b_2 = F(a_1, b_2)$$

そうすると, 2 入力の NAND ゲートだけから成る回路 F を用いて, 7 ビットのハミング符号を出力する回路は, 下図のようになる.



=====  
 $x_1 \oplus x_2$  を出力する NAND 回路  $F(x_1, x_2)$  の別構成を紹介するため,  $x_1 \oplus x_2$  を次のように変形する.

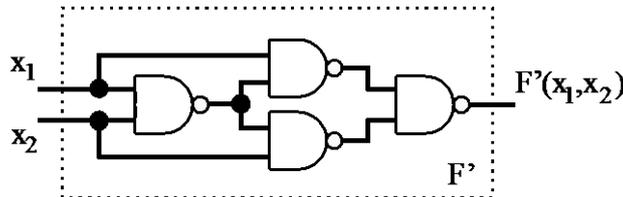
$$x_1 \oplus x_2 = x_1 \cdot \bar{x}_2 + \bar{x}_1 \cdot x_2 = x_1 \cdot \bar{x}_1 + x_1 \cdot \bar{x}_2 + \bar{x}_1 \cdot x_2 + x_2 \cdot \bar{x}_2$$

そうすると,  $x_1 \oplus x_2$  は次式となる.

$$\begin{aligned} x_1 \oplus x_2 &= x_1 \cdot \bar{x}_2 + x_1 \cdot x_2 + \bar{x}_1 \cdot x_2 + x_2 \cdot \bar{x}_2 = x_1 \cdot (\bar{x}_2 + x_2) + x_2 \cdot (\bar{x}_1 + x_1) = x_1 \cdot 1 + x_2 \cdot 1 \\ &= x_1 + x_2 \\ &= \overline{\overline{x_1 + x_2}} = \overline{\overline{x_1} \cdot \overline{x_2}} = \overline{(\bar{x}_1 \cdot \bar{x}_2)} \end{aligned}$$

これより,  $x_1 \oplus x_2$  を出力する下図の NAND 3 段回路  $F'$  を構成することができる.

$$F'(x_1, x_2) = \overline{\overline{x_1 \cdot \bar{x}_2} \cdot \overline{x_2 \cdot \bar{x}_1}} = x_1 \oplus x_2$$



論理式  $F(x_1, x_2) = \overline{\overline{x_1 \cdot x_2} \cdot \overline{x_1 \cdot x_2}}$  から得られた回路  $F$  において,  $x_1, x_2$  の否定を取るための NAND ゲートは, 実際にはインバータで良いので, 回路  $F$  と  $F'$  の MOS トランジスタの個数は同じである. しかし, 半加算器 (Half Adder) のように,  $s = x_1 \oplus x_2$  と  $c = x_1 \cdot x_2$  の 2 つの出力を出す回路を作成する場合には, 回路  $F'$  では  $\bar{x}_1 \cdot \bar{x}_2$  を出力する NAND ゲートが含まれているので, この出力を用いて直ちに  $c = x_1 \cdot x_2$  を出力することができる. すなわち,  $\bar{x}_1 \cdot \bar{x}_2$  を共通項として利用して,  $s$  と  $c$  の 2 つの出力を生成できる.

4.12 節に示したように, 2 入力 NAND ゲートの CMOS 回路はトランジスタ 4 個で構成できるから, 上に示した回路  $F$  および  $F'$  の MOS トランジスタの個数は 16 個になる. 従って, 4.2 節に述べたトランジスタ数 (Tr 数) 8 より大きい. トランジスタ 8 個で 2 入力 XOR ゲートを構成するには, MOS トランジスタのスイッチの特性を用いて, トランジスタレベルの回路を考える必要がある.

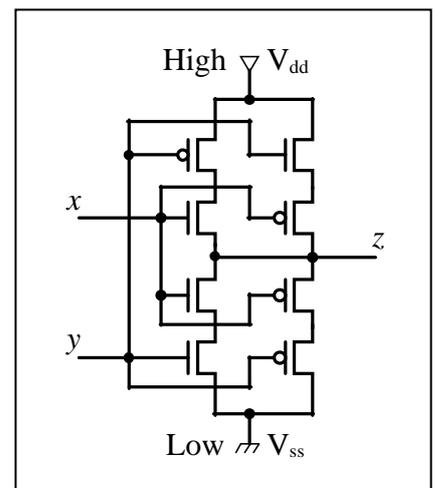
今,  $z = x \oplus y$  を出力する 2 入力 XOR ゲートの CMOS 回路を正論理で考える. すなわち, 電位の High を 1, Low を 0 に対応させることにすると, PMOS は 0 が入力されると導通し, 1 で遮断する. 一方, NMOS は 1 が入力されると導通し, 0 で遮断する. 従って, CMOS 回路の出力  $z$  が,

( $x = 0$  かつ  $y = 1$ ) あるいは ( $x = 1$  かつ  $y = 0$ ) のとき

High (高電位  $V_{dd}$ ) に接続し,

( $x = 0$  かつ  $y = 0$ ) あるいは ( $x = 1$  かつ  $y = 1$ ) のとき

Low (低電位  $V_{ss}$ ) に接続する



回路を構成すれば, 2 入力 XOR ゲートができる. ここで, 『かつ』はスイッチを直列に, 『あるいは』はスイッチを並列に接続することにより実現できるから, 右上に示すような CMOS 回路を作れば, これは 2 入力 XOR ゲートの動作をする. 従って, 2 入力 XOR ゲートはトランジスタ 8 個で構成できる.