

デジタル信号処理ライブラリー 7

VLSI と デジタル信号処理

工学博士	谷	萩	隆	嗣	編
工学博士	伊	藤	秀	男	
	野	口	孝	樹	ほか著
工学博士	藤	原		洋	

コ ロ ナ 社

編 者

谷 萩 隆 嗣 (千葉大学・工博)

共 著 者

伊 藤 秀 男 (千葉大学・工博)	1 章, 2 章, 3 章, 4 章
野 口 孝 樹 ((株)日立製作所)	5 章
稲 上 泰 弘 ((株)日立製作所)	6.1 節
花 輪 誠 ((株)日立製作所)	6.2 節
藤 原 洋 ((株)グラフィックス・ コミュニケーション・ ラボラトリーズ・工博)	6.3 節, 7.2 節
竹 田 稔 (日本プレシジョン・ サーキット(株))	7.1 節
古 田 俊 之 ((株)リコー)	7.3 節
中 村 和 夫 (三菱電機(株))	7.4 節
谷 萩 隆 嗣 (千葉大学・工博)	8.1 節, 8.2 節, 8.4 節
山 田 光 秀 (沖電気工業(株))	8.3 節, 8.4 節

(所属は 1996 年 12 月現在)

刊行のことば

最近のデジタル技術は驚異的な発展を続けており，従来はアナログ処理が行われていたもの，あるいはデジタル処理が不可能であったものでも，つぎつぎとデジタル処理されるようになってきた。それに伴い，多くの分野で，いっそう高度なデジタル技術の確立が求められてきている。

先般行われた，電気/電子/情報/通信分野における大規模なアンケート調査によれば，多くの企業および研究機関が「デジタル信号処理」を非常に重要視し，「必要性」ならびに「重要性」の項目でトップに挙げている。このことから，「デジタル信号処理」は，現在，社会的ニーズが最も高い学問分野の一つであると考えられる。

このような状況にかんがみ，「デジタル信号処理」を広範な立場からできるだけ統一的にまとめて，この分野に興味を持っている多くの方々に役立てて頂くことを目的として，「デジタル信号処理ライブラリー」を刊行する。

本ライブラリーは，以下の各巻で構成されている。

- 第1巻：デジタル信号処理と基礎理論
- 第2巻：デジタルフィルタと信号処理
- 第3巻：音声と画像のデジタル信号処理
- 第4巻：高速アルゴリズムと並列信号処理
- 第5巻：カルマンフィルタと適応信号処理
- 第6巻：ARMA システムとデジタル信号処理
- 第7巻：VLSI とデジタル信号処理
- 第8巻：情報通信とデジタル信号処理
- 第9巻：ニューラルネットワークとファジィ信号処理
- 第10巻：マルチメディアとデジタル信号処理

これらの各巻のうち、第1巻から第3巻までは、大学の学部3,4年生でも十分理解できるような内容の「基礎編」である。また、第4巻から第6巻までは、内容を少しグレードアップした「発展編」であり、大学院修士課程の学生程度の学力を持つ者をおもな対象とする。さらに、第7巻から第10巻までは、大学や企業の研究者を始めとする、広範な社会人をおもな対象とした「応用編」であり、ある程度の基礎知識があれば、十分読みこなせる内容となっている。

したがって、本ライブラリーについては、読者の興味およびレベルに応じて多様な読み方が可能である。例えば、まったくの初歩からデジタル信号処理を学びたい場合には、「基礎編」から読み始めることが望ましい。一方、ある程度の基礎知識があれば、いきなり「発展編」あるいは「応用編」を読んでも、十分に読みこなすことができる。また、「基礎編」から読み始める場合でも、「基礎編」、「発展編」、「応用編」の順に読み進めるだけでなく、「基礎編」、「応用編」、「発展編」の順とすることも可能であるので、読者の興味に応じて読み進めて頂きたい。

幸い、本ライブラリーについては、各方面の第一線で活躍中の多くの方々に執筆して頂くことができたので、読者の期待にこたえられる内容になっていると確信している。

「デジタル信号処理」の分野は、理論および応用技術ともに急速な勢いで発展を続けているので、今後は、状況に応じて「デジタル信号処理ライブラリー」に新しい分野を追加し、本ライブラリーを、内容的にもさらに充実したものにしてゆくことを予定している。

最後に、本ライブラリーの刊行にあたって多大の御尽力を頂いた、コロナ社の方々に深く感謝の意を表する。

1996年1月

企画・編集責任者 谷萩 隆嗣

ま え が き

ディジタル信号処理技術は、コンピュータや DSP (digital signal processor) などの専用プロセッサに関する諸技術と、種々のディジタル技術の進歩に大きく依存しながら発展してきた。実際、各種のディジタル信号処理装置を作製して、それらを利用できるようにするためには、VLSI を始めとするハードウェアについての知識が必要となってくる。

本書では、最初にディジタル信号処理を念頭に置いて、ハードウェアの基礎的事項を述べる。つぎに、ディジタル信号処理で使用されるおもなハードウェアについて、詳しく説明する。さらに、ディジタル信号処理のための各種 LSI の設計例を紹介し、VLSI の実装技術などについても解説する。

第1章では、ディジタル信号処理のためのハードウェアの基礎として、記憶素子を持たない組合せ回路と記憶素子を持つ順序回路について説明する。これらの論理回路は、いずれもディジタル信号処理用ハードウェアを理解するために必要なものである。

第2章では、ディジタル信号処理で使用されるいくつかの基本回路について解説する。まず、加減算器と乗算器の原理および構成方法を述べる。つぎに、比較器について考え、任意の二つの2進数を比較するための回路構成を示す。さらに、ディジタル信号を伝送するときに必要となるエンコーダ (符号器) とデコーダ (復号器) について述べる。最後に、ディジタル信号処理の分野で非常に重要な役割を果たす A-D 変換器と D-A 変換器について詳しく説明する。

第3章では、VLSI 設計技術の全体が容易に把握できるようにするために、まず VLSI の概要を述べる。つぎに、VLSI の中でも特に発展の著しい ASIC を考え、その基本構造を詳細に解説する。また、VLSI 設計技術について説明し、CAD ツールなども簡単に紹介する。

第4章では、まずデジタル回路で生じる故障の種類および種々のフォールトトレランス技術を述べる。デジタル信号処理用の回路においても、回路の高信頼化を実現することは非常に重要である。ここでは、特に VLSI のテスト生成技術とテスト容易化設計について詳しく説明する。

第5章では、デジタル信号処理で欠かすことのできない DSP について詳細に説明する。最初に、DSP の動作の概要および現状について述べる。つぎに、DSP のアーキテクチャと DSP の内部構成を紹介し、DSP の設計についても詳しく解説する。

第6章では、並列処理用 VLSI の各種アーキテクチャについて述べる。最初にベクトルプロセッサおよびスーパースカラプロセッサについて説明する。つぎに特殊な構造を持つ並列プロセッサの例として、シストリックアレイの解説を行う。

第7章では、代表的なデジタル信号処理用 LSI の設計例として、オーディオ信号処理のための FIR フィルタ用 LSI、カラー動画画像信号処理用 LSI、ニューラルネットワーク用 LSI、ファジィ推論用 LSI を紹介する。

第8章では、最近の VLSI の実装技術と信号処理について説明する。最初に、フィルム上に VLSI を搭載することのできる TAB (tape automated bonding) を紹介し、TAB の異常箇所の検査について述べる。また、さらに高密度な実装が可能となる BGA(ball grid array)および MCM(multichip module)について説明し、これからの実装技術の展望を述べる。

以上、第7巻の各章の内容は、デジタル信号処理で必要とされるハードウェアの基礎から高度な技術まで扱っているが、ハードウェアに関する基礎知識のある読者は、第3章あるいは第4章から読み始めてさしつかえない。一方、ハードウェアに習熟していない読者は、ぜひ第1章から読み進めて頂きたい。

1996 年 12 月

編者 谷 萩 隆 嗣

目 次

1. 信号処理のためのデジタル回路の基礎

1.1 組合せ回路	1
1.1.1 基本ゲート	1
1.1.2 AND-OR 形回路	3
1.1.3 OR-AND 形回路	4
1.2 順序回路	6
1.2.1 順序回路の概念	6
1.2.2 順序回路の表現	9
1.2.3 フリップフロップ回路	11
1.2.4 順序回路の構成	16

2. デジタル信号処理のための基本回路

2.1 加 減 算 器	22
2.1.1 2進加算器要素	22
2.1.2 リプルキャリ加算器	23
2.1.3 キャリルックアヘッド加算器	24
2.1.4 2進加減算器	26
2.2 乗 算 器	28
2.2.1 乗算の原理	28
2.2.2 2進数の乗算回路	30
2.3 比 較 器	31

2.3.1 比較器の原理	31
2.3.2 比較器の構成	32
2.4 エンコーダとデコーダ	35
2.4.1 エンコーダ	35
2.4.2 デコーダ	35
2.5 A-D変換器とD-A変換器	38
2.5.1 A-D変換器	39
2.5.2 D-A変換器	43

3. VLSI設計技術の概要

3.1 VLSIの概要	47
3.2 ASIC	50
3.2.1 ASICの概念	50
3.2.2 ゲートアレイ	51
3.2.3 スタンダードセル	53
3.2.4 マクロセル	54
3.2.5 エンベデッドアレイ	55
3.2.6 フルカスタム	55
3.2.7 フィールドプログラマブルデバイス	56
3.3 VLSI設計技術	61
3.3.1 設計技術の概要	61
3.3.2 個別設計技術	63

4. デジタル回路の高信頼化とVLSIのテスト

4.1 デジタル回路の高信頼化の概念	67
4.1.1 高信頼化の基本的概念	68
4.1.2 フォールトトレランス技術	70
4.1.3 ディフェクトトレランス技術	73

4.2 VLSI のテスト生成技術	78
4.2.1 単一固定縮退故障テスト	78
4.2.2 CMOS ゲートのスタックオープン故障テスト	80
4.2.3 遅延故障テスト	84
4.2.4 順序回路のテスト	86
4.2.5 メモリのテスト	90
4.3 VLSI のテスト容易化設計	92
4.3.1 スキャンパス法	93
4.3.2 BIST 法	94
4.3.3 バウンダリスキャン法	97

5. デジタルシグナルプロセッサと信号処理

5.1 デジタルシグナルプロセッサの概要	99
5.2 デジタルシグナルプロセッサのアーキテクチャ	103
5.3 デジタルシグナルプロセッサの特徴的な機能	107
5.4 デジタルシグナルプロセッサの内部構成	112
5.5 デジタルシグナルプロセッサの設計	118
5.5.1 ロジック LSI の設計フロー	118
5.5.2 仮想 DSP コアの基本設計	120
5.5.3 仮想 DSP コアのデータバスの設計	126
5.5.4 仮想 DSP コアの制御回路の設計	128

6. 並列処理用 VLSI のアーキテクチャ

6.1 ベクトルプロセッサ	133
6.1.1 ベクトルプロセッサの概念	133
6.1.2 ベクトル演算方式	136
6.1.3 ベクトルプロセッサによる高速化	146

6.2 スーパースカラプロセッサ	151
6.2.1 スーパースカラプロセッサの概念	151
6.2.2 スーパースカラプロセッサによる高速化	156
6.3 シストリックアレイ	162
6.3.1 シストリックアレイの概念	163
6.3.2 各種のシストリックアレイ	166
6.3.3 シストリックアレイによる信号処理	170

7. デジタル信号処理用 LSI の設計例

7.1 オーディオ信号処理のための FIR フィルタ用 LSI	176
7.1.1 デジタルオーディオにおける A-D/D-A 変換システム	177
7.1.2 オーバサンプリングフィルタの概念	181
7.1.3 オーバサンプリング FIR フィルタ用 LSI の動向	182
7.1.4 FIR フィルタの構成方法と演算回数	186
7.1.5 FIR フィルタの再量子化雑音	189
7.1.6 FIR フィルタ用 LSI の設計	192
7.2 カラー動画像信号処理用 LSI	195
7.2.1 カラー動画像信号処理用 LSI の概要	195
7.2.2 各種のカラー動画像信号処理用 LSI の実現方式	202
7.2.3 カラー動画像信号処理用 LSI の実例	211
7.3 ニューラルネットワーク用 LSI	213
7.4 ファジィ推論用 LSI	225
7.4.1 ファジィ推論	225
7.4.2 ファジィ推論用 LSI	228
7.4.3 ハードウェアの概要	229
7.4.4 メンバシップ関数の発生	230
7.4.5 ルールの処理と重心計算	232
7.4.6 ルール命令と前件部の処理	234
7.4.7 後件部の処理	238

7.4.8 ファジィ推論用 LSI の実例	240
-----------------------------	-----

8. VLSI の実装技術と信号処理

8.1 TAB による VLSI の実装	241
8.1.1 半導体部品の実装技術	241
8.1.2 TAB の 概 要	242
8.1.3 画像処理による TAB の異常検査	244
8.2 BGA による VLSI の実装	247
8.2.1 BGA の 概 要	247
8.2.2 BGA の異常検査	249
8.3 MCM による LSI の実装	249
8.3.1 MCM の 概 要	249
8.3.2 MCM の 分 類	250
8.3.3 MCM の主要な技術	251
8.3.4 MCM の 実 例	257
8.4 今 後 の 展 望	259
8.4.1 CSP による実装	259
8.4.2 ビルトアップ基板	261
引用・参考文献	262
索 引	267

1. 信号処理のための ディジタル回路の基礎

目的とするディジタル信号処理を実行する場合には、コンピュータ、専用プロセッサ、専用回路などの何らかのハードウェアが必要となる。この意味で、ディジタル信号処理では、ハードウェアもきわめて重要である。処理内容によっては、ハードウェアに大きく依存して発展してきているものもある。したがって、今日ではハードウェアの理解なくしては、ディジタル信号処理の理解もあり得ない状況になっている。ここでは、ディジタル信号処理のためのハードウェアの基礎となっている組合せ回路と順序回路について述べる。

1.1 組合せ回路

論理回路のタイプは、記憶素子を持たない組合せ回路と、記憶素子を持つ順序回路の二つに大きく分けられる。この節では、基本的な組合せ回路について述べる。

1.1.1 基本ゲート

論理関数を表現するための関数として、AND、OR、NAND、NOR、NOT、EXOR (exclusive OR) がある。ここでは、これらの関数を電子回路で実現するための回路を**基本ゲート**と呼ぶ。多くの基本ゲートからなる回路は、図面を見るだけで構造がわかると便利である。そのため、おのこの基本ゲートは図 1.1 に示すような回路記号によって表される。

ゲートは、論理的な動作のみを表しており、例えば、速度が速いとか面積が

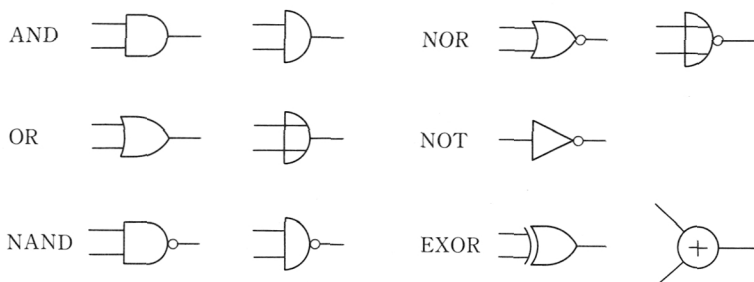


図 1.1 基本ゲートの回路記号

小さいとか、などの物理的な側面は何も表していない。しかし、これらのゲートは、一般に特定の半導体技術や回路技術などの物理的な側面を持つ素子によって構成される。それらの物理的な特徴を持つ論理要素を**論理デバイス**と呼ぶ。以下に代表的な**物理デバイス**を示す。

- ・ DTL (diode transistor logic)
- ・ TTL (transistor transistor logic)
- ・ ECL (emitter coupled logic)
- ・ MOS (FET) [metal oxide semiconductor (field effect transistor)]
- ・ その他 (ガリウムヒ素 FET, HEMT, ジョセフソン素子)

DTL は初期のコンピュータで使われたもので、現在では使用されていない。TTL や ECL はこれまでは使われてきたが、最近は使われなくなりつつある。MOS の中でも CMOS と呼ばれているデバイスは消費電力が小さく、高密度に集積できることから、現在最も使われているデバイスである。多くのロジックを含んだ VLSI は CMOS と考えてよい。

その他の高速素子として、ジョセフソン素子は早くから研究されているが、なかなか実用的な域には入れないでいる。ガリウムヒ素 FET, HEMT など研究段階から実用化の段階にあり、大規模化、高密度化された VLSI が発表されつつある。

1.1.2 AND-OR 形回路

論理関数を積和形で表して、積項を AND ゲートで、積の和を OR ゲートで表現した回路構造を **AND-OR 形回路** と呼ぶ。一般には、関数を簡単化して、各主項を AND ゲートで、主項の和を OR ゲートで表現する。このことから、AND-OR 形回路と呼ばれる。また、この回路は、積和形の関数で表していることから **積和形回路** とも呼ばれる。以下、AND-OR 形回路構成について、例を用いて説明する。

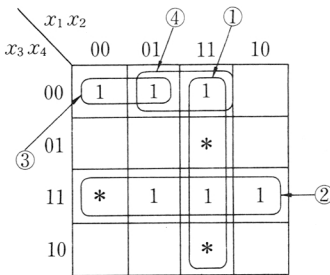


図 1.2 カルノー図

図 1.2 に示すカルノー図の真理値表を満たす論理関数 f の回路を求めてみよう。図に示すように主項として、① x_3x_4 、② x_1x_2 、③ $\bar{x}_1\bar{x}_2\bar{x}_3$ 、④ $\bar{x}_1\bar{x}_2x_4$ が得られ、必須項は②、③である。これより、つぎの積和形 (AND-OR 形) の関数が得られる。

$$f = x_3x_4 + x_1x_2 + \bar{x}_1\bar{x}_2\bar{x}_3 \quad (1.1)$$

この関数のおおのの積項を AND ゲートで、積項の和を OR ゲートで表現することによって、図 1.3 に示す AND-OR 形回路が得られる。ただし、積項の中に否定を持つ変数は、NOT ゲートを通した後で、積項が作られる。

一方、 $f = \overline{\overline{f}}$ であるので、ド・モルガンの定理から式 (1.2) が得られる。

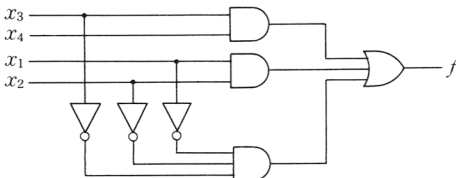


図 1.3 AND-OR 形回路

$$\begin{aligned}
 f &= \overline{\overline{x_3 x_4 + x_1 x_2 + \bar{x}_1 \bar{x}_2 \bar{x}_3}} \\
 &= \overline{\overline{x_3 x_4} \quad \overline{x_1 x_2} \quad \overline{\bar{x}_1 \bar{x}_2 \bar{x}_3}} \quad (1.2)
 \end{aligned}$$

これは、NAND のみの関数で f を表しており、おのおのの NAND の関数を NAND ゲートで置き換えることによって、図 1.4 に示す **NAND-NAND 形回路** が得られる。すなわち、関数の AND-OR 形表現は NAND-NAND 形表現とほぼ等価な表現であるといえる。

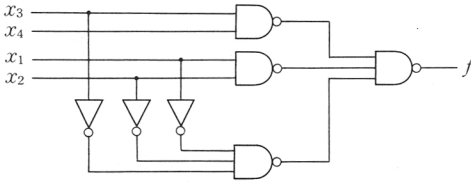


図 1.4 NAND-NAND 形回路

これまで示した AND-OR 形回路と NAND-NAND 形回路は、NOT ゲートを除いて、入力から出力に至る信号経路のゲート数が 2 であることから、一般に 2 段 AND-OR 形回路あるいは 2 段 NAND-NAND 形回路などと呼ばれている。

1.1.3 OR-AND 形回路

OR-AND 形回路（和積形回路） は、関数の和積表現に対応した回路であるので、OR-AND 形回路を簡単化するためには、関数の簡単な和積形表現を求める必要がある。そこで、和積形関数の簡単化についても、以下に示すように、関数の積和表現に関する簡単化の手法を利用する。すなわち、関数 f の積和形の簡単化表現を求めるのではなく、最初に関数 $\bar{f}$ の簡単化表現を求め、その両辺の否定を取り、ド・モルガンの定理によって、 f の簡単化表現を求めるのである。以下の手順により、関数 f の AND-OR 形回路（積和形回路）が得られる。

- (1) $\bar{f}$ について（0 と don't care を対象にして）AND-OR 形の簡約形を求める。
- (2) ド・モルガンの定理より、 $\bar{f}$ の両辺の否定を取ることにより f につい

ての OR-AND 形簡約形が求まる。

- (3) 上記(2)の表現の変数(変数の否定も含む)の和の項を OR ゲートで、それらの項の積を AND ゲートで表すことによって、 f の AND-OR 形回路が求まる。

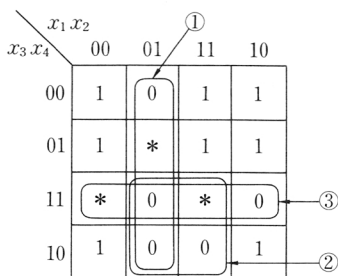


図 1.5 f のカルノー図

図 1.5 のカルノー図に記入された真理値を満たす関数 f の AND-OR 形回路を求めてみよう。以下に示すように、 $\bar{f}$ の主項、 $\bar{f}$ の積和形簡単表現、 f の和積形簡単表現が順に求められ、それを回路化することによって、図 1.6 に示す f の OR-AND 形回路が得られる。

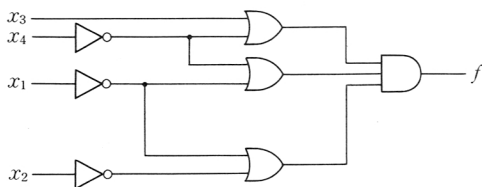


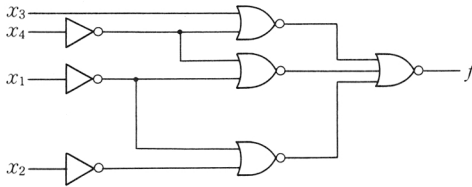
図 1.6 f の OR-AND 形回路

$\bar{f}$ の主項は、① $\bar{x}_3x_4$ 、② x_1x_4 、③ x_1x_2 で、これらはすべて必須項である。

$$\bar{f} = \bar{x}_3x_4 + x_1x_4 + x_1x_2 \quad (1.3)$$

$$\begin{aligned} f &= \overline{\bar{x}_3x_4 + x_1x_4 + x_1x_2} \\ &= \overline{\bar{x}_3x_4} \cdot \overline{x_1x_4} \cdot \overline{x_1x_2} \\ &= (x_3 + \bar{x}_4)(\bar{x}_1 + \bar{x}_4)(\bar{x}_1 + \bar{x}_2) \end{aligned} \quad (1.4)$$

一方、 $f = \overline{\bar{f}}$ の関係から、内側の NOT をド・モルガンの定理により変換することによって、 f の NOR-NOR 形表現を得ることができる。これによって、 f の NOR-NOR 形回路を得ることができる。以下にその関数表現を、ま

図 1.7 f の NOR-NOR 形回路

た，図 1.7 に f の NOR-NOR 形回路を示す。

$$\begin{aligned} f &= \overline{\overline{(x_3 + \bar{x}_4)}(\bar{x}_1 + \bar{x}_4)(\bar{x}_1 + \bar{x}_2)} \\ &= \overline{(x_3 + \bar{x}_4) + (\bar{x}_1 + \bar{x}_4) + (\bar{x}_1 + \bar{x}_2)} \end{aligned} \quad (1.5)$$

ここまでは，一つの出力のみを持つ回路の構成を対象にしたが，一般に用いられる回路は，複数個の出力を持つ多出力回路が多い。また，2 段 AND-OR 形などの 2 段回路の構成法について述べたが，段数が 2 段より多い多段回路もある。

2 段多出力回路の構成では，おのこの関数の主項を求めると同時に，いくつかの関数に対して共通に使用可能な共通項を求め，それらを用いて，すべての関数を対象にして最小カバーを求めればよい。多段回路の構成はやや複雑な操作となるので省略する。

1.2 順 序 回 路

組合せ回路が記憶素子を含まない論理回路であったのに対して，ここでは記憶素子を含む論理回路，すなわち順序回路について述べる。順序回路の概念，順序回路の表現，記憶素子としてのフリップフロップ回路，順序回路の構成法について説明する。

1.2.1 順序回路の概念

順序回路は，これまで回路に加えられた入力系列と現在の入力によって出力が決定される回路である。そのため，順序回路では，これまでどのような入力系列が加えられたかによって決定されるある記憶状態を持つ。コンピュータ

索

引

【あ】

アーキテクチャ
103, 118, 121, 125, 134, 193
アキュムレータ
192, 234, 240
後処理
195, 211
アドレス演算器
114
アドレス計算機能
110
アドレス故障
92
アドレスデコーダ回路の
検査
91
アナログ低域フィルタ
177
アナログ量
38, 43
アベイラビリティ
70
誤り
68
誤り訂正符号
72
アンチエリアシング
フィルタ
177
アンチヒューズ方式
57
安定化定数
217
アンローリング
161

【い】

1次元シストリックアレイ
形アーキテクチャ
204
1縮退故障
79
1の補数
26
1層テープ
244
インタポレーション
フィルタ
181
インデクスペクトル
146

【う】

ウィーナーフィルタ
173
ウェーハスケール
アーキテクチャ
74
ウォッチドッグタイマ
72
動きベクトル
196
動きベクトル検出
202
動きベクトル検出用 LSI
202
動き補償
201

【え】

永久故障
69
枝
10
エッジトリガ形
15
エンコーダ
35
演算処理
104
演算パイプライン
148
エンベデッドアレイ
55

【お】

オートマトン
10
オーバサンプリング
FIR フィルタ
186, 187
オーバサンプリング技術
176
オーバサンプリング
D-A 変換システム
179
オーバサンプリング
フィルタ
181, 182
オーバフロー
27
オーバフローフラグ
27
オフ故障
69
オフライン検査
71

オペレーションデコーダ

130
オン故障
69
音声帯域
101
オンチップ化
50
オンライン検査
71
オンライン故障検査
72

【か】

階層形ニューラル
ネットワーク
213
階層設計
61
外部出力
7
外部入力
7
回路基板技術
241
回路設計
65, 66
可観測性
92
学習定数
217
学習プロセス
217, 221
拡張記憶装置
146
欠け
244, 246
加減算回路
27, 28
加減算器
26
重ね合わせの原理
43
加算パイプライン
149
加算用シストリック
アレイ
166
カスタム LSI
50
可制御性
92
画像処理
101
仮想ニューロン数
217
可変長コード
105
可変長符号
209
可変長符号化
198
可変長符号化用 LSI
209

カラー動画画像信号 195
 カラー動画画像信号
 処理用 LSI 195, 213
 カラーネン・レーブ変換
 174
 カルノー図 3, 126
 カルマンフィルタ 173
 間欠故障 69
 間接参照 146

【き】

機械設計 64
 木構造 89
 擬似組合せ回路 86, 87
 寄生インダクタンス 254
 帰巢系列 88, 89
 機能試験 88
 機能設計 66
 機能テスト 88
 機能レベル論理設計
 119, 126, 128
 基本回路設計 65
 基本ゲート 1
 基本仕様 63
 基本セル 51
 逆量子化 196
 キャリルックアヘッド
 加算器 24
 狭クロック形 15
 教師信号 215
 行デコーダ 37
 行列乗算用シストリック
 アレイ 169

【く】

空間的並列処理 134, 149
 組合せ回路 1, 32
 組込み自己テスト 94

【け】

桁上げ 23
 桁上げ先見加算器 24
 欠陥 68

結合係数 215, 216
 結合雑音 254
 ゲートアレイ 51
 ゲート敷き詰め形 52
 ゲートレベル論理設計
 119, 128
 検査回路 72
 検査情報 65
 検査容易化設計 71

【こ】

後件部 226
 後件部ユニット 238
 高信頼化 67
 高速化方式 149
 高速フーリエ変換 173
 故障 68
 故障検査 71
 故障検出 71
 故障検出テスト入力 79
 故障検出率 120
 故障シミュレーション法
 80
 故障シミュレータ 120
 故障診断テスト入力 79
 故障マスク 71
 固定故障 69
 固定縮退故障検査 91
 固定長符号 209
 固定長命令コード 106
 孤立箇所 246
 コンカレント検査 72
 コンピュータ援用設計 63
 コンプレックス PLD 56

【さ】

最下位ビット 29
 再帰演算用シストリック
 アレイ 167
 再構成技術 98
 最上位ビット 29
 最小遅延故障検出テスト
 集合 85, 86

最小値選択部 204
 最小テスト集合 80
 再量子化雑音
 184, 189, 190, 191
 雑音余裕度 253
 3次元画像 103
 3進リングカウンタ 18
 3層テープ 243
 サンプリング周波数 101

【し】

時間的並列処理
 135, 139, 149
 時間展開法 86
 閾値関数 23
 シグネチャレジスタ 96
 シーケンス制御 131, 132
 次状態出力 7
 システム設計 63
 システムレベル設計 64
 シストリックアレイ
 162, 163
 シストリックパイプライン
 構造 175
 実装技術 241
 実ニューロン数 217
 実ニューロン方式 223
 シナップス 216
 シナップス数 217
 ジャンプ処理 108, 109
 主記憶 146
 主記憶制御装置 146
 縮退故障 69, 79
 出力 7
 順序回路 1, 6
 — のテスト 86
 順序機械 9
 条件付き分岐命令 108
 条件付きベクトル演算 141
 乗算器 100
 乗算パイプライン 149
 仕様設計 125
 状態 7

状態出力 7
 状態遷移確認法 88
 状態遷移関数 9, 10
 状態遷移図 10, 65, 88
 状態遷移表 11, 88, 89
 状態割当て 16
 冗長セル 74, 75
 商用 DRAM 48
 初期化入力 82
 ショート 244, 246
 処理方式 134
 シリアルポート
 112, 113, 118
 新型 RISC 101, 102
 シングルチップマイコン
 101, 112
 シンプル PLD 56
 信頼度 70
 真理値表 3, 23, 31

【す】

スイッチング雑音 253
 スカラ演算方式 137
 スカラ処理ユニット 146
 スカラレジスタ 146
 スキャンバス回路 120
 スキャンバス法 93
 スタックオープン故障
 80, 83

スタンダードセル 53, 54
 ステータスレジスタ 127
 ステートマシン 210
 スーパーコンピュータ
 133
 スーパースカラプロセッサ
 151, 156
 スーパースカラ方式
 105, 108
 スーパーパイプライン方式
 105

【せ】

制御回路 39, 119, 129

制御信号 126
 積層プリント配線板 250
 積分形 A-D 変換器 39, 41
 積和演算
 100, 107, 109, 113, 114,
 115
 積和演算用シストリック
 アレイ 167
 積和形回路 3
 設計故障 68
 接合技術 241
 節 点 10
 セミカスタム LSI 51
 セラミック BGA 248
 セ ル 51
 セルフチェック検査
 72
 セル無選択故障 91
 0 縮退故障 79
 遷移確認法 86
 全加算器 23
 線形フィードバック
 シフトレジスタ 96
 前件部 226
 前件部ユニット 237
 専用 LSI 49

【そ】

相互結合形ニューラルネッ
 トワーク 214
 阻止帯域減衰量 184
 ソフトウェア故障 68
 ソフトウェアパイプ
 ライニング 161

【た】

タイミングシミュレータ
 65
 タイミング制御 128
 ダイレクトメモリアクセス
 コントローラ 112
 多重アクセス故障 91
 多重系システム 72

多重故障 79
 多重セル選択故障 91
 単一誤り訂正 2 ビット
 誤り検出符号 72
 単一故障 79
 単一固定縮退故障 79
 断 線 244, 246

【ち】

遅延故障 69, 84
 遅延故障検出テスト集合
 84
 遅延素子 7
 遅延分岐命令 108, 125
 逐次最小 2 乗法 174
 逐次比較形 A-D 変換器
 39, 40

チャンネル形ゲートアレイ
 52
 チャンネルレスゲート
 アレイ 52
 直線位相 FIR フィルタ
 193, 194, 195

【つ】

通過帯域リプル 184
 つつぬけ問題 15

【て】

ディエンファシス 189
 ディザ 185, 191
 デジタルオーディオ
 192
 デジタルオーディオ
 技術 176
 デジタルシグナル
 プロセッサ 99
 デジタル乗算器
 100, 101
 デジタル信号処理
 1, 99, 100, 108, 176, 195
 デジタルフィルタ
 100, 101, 170, 178, 181

ディジタル量 38, 43
 ディジット数 35
 ディフェクトトレランス
 67, 68, 73, 74, 78
 適応フィルタ 173, 174
 適合度 227, 234
 デコーダ 35
 デシメーションフィルタ
 181
 テストデータ 66
 テスト入力 82
 テスト容易化設計 92
 データ構造 137, 147
 データ転送 104, 128
 データ転送処理 107
 データパス 119
 デバイス設計 65
 テブナンの定理 44, 45
 テープ BGA 248
 デュアルポートメモリ
 113
 電子回路設計 65
 転送系列 88
 テンポラリレジスタ 161

【と】

動画像 103
 同期式順序回路 7, 9
 動作フローチャート 65
 特定用途向け IC 50
 突 起 244, 246
 トップダウン設計 61
 ド・モルガンの定理
 3, 4, 5
 トランジスタアレイ形 58

【な】

ナイキスト周波数 178
 ナイキストの第1基準
 187
 内部状態 7

【に】

2次元シストリックアレイ
 169
 2次元DCT 205
 2進数乗算回路 31
 2相クロック形 16
 2層テープ 243
 2段AND-OR形回路 4
 2段加算器 233, 238, 240
 2段NAND-NAND形
 回路 4
 2の補数 26
 2-パターンテスト 82
 入出力関数 215
 入出力シリアルインタ
 フェース 192
 入 力 7
 ニューラルネットワーク
 213
 ニューラルネットワーク用
 LSI 213
 ニューロン 216
 ニューロン数 217
 ニューロンモデル
 213, 218

【ね】

熱抵抗 256

【の】

ノイズシェーパ
 181, 185, 191
 ノイズシェーピング 179
 ノイズシェーピング技術
 176
 ノード 10

【は】

ハイエンドDSP 102, 103
 配 線
 ——の開放故障 69
 ——の短絡故障 69

パイプライン演算器 148
 パイプライン演算方式
 139
 パイプライン構造 135
 パイプライン処理
 115, 116, 117, 136, 139,
 140, 162, 218
 パイプライン処理方式
 135
 パイプラインチェイニング
 150
 パイプライン連結 150
 ハイブリッド動画像
 符号化方式 196
 ハイブリッド動画像
 符号器 198
 ハイブリッド符号化 201
 バウンダリスキャンセル
 97
 バウンダリスキャン
 チェイン 97
 バウンダリスキャン法 97
 バックトラック操作 87
 バックプロパゲーション
 アルゴリズム 216
 ハードウェア故障 68
 ハーバード方式 114
 ハフマン符号化 198
 パラレルポート
 112, 113, 118

パリティ 23
 バルス密度方式 223
 バーンイン 254
 半加算器 22
 半導体メモリチップ 36
 汎用LSI 49
 汎用DSP 192

【ひ】

ビ ア 254, 256, 258
 比較器 31, 32, 34
 ビクチャレイヤ 209
 ビットシリアル 208

ビットパラレル 208
非同期サンプリング
レート変換器 176
非同期式順序回路 7, 9
ビルトアップ基板
251, 258, 259, 261
非連続アドレス参照 145
ピンホール 246

【ふ】

ファジィ推論
225, 226, 227
ファジィ推論用 LSI
225, 228, 229
ファジィ制御 225
ファンアウト 80
フィードバックループ 7
フィードフォワード
プロセス 215, 220, 221
フィルタ方式 182
フィールドプログラマブル
デバイス 56
フェールセーフシステム
73
フォーマット変換処理
198
フォールトトレランス
67, 68
フォールトトレラント
システム 70
復号器 35
復号処理 195, 211
符号化処理 195, 211
符号器 35
符号ビット 26
布線論理 192
物理デバイス 2
歩留り 74, 76
歩留り向上化技術 67
歩留り向上化設計 74, 98
プラスチック BGA 248
フリッカ雑音 198
フリップチップ

ボンディング 254
フリップフロップ
7, 8, 9, 11
フリップフロップ回路 6
フルカスタム 55
フルカスタム LSI 51
フレキシブル形 52
フロー依存 155
プログラム
137, 156, 159, 161

プログラムカウンタ
114, 153
プログラム論理 192
プロセッサ MCM 258
ブロックひずみ 201
ブロックレイヤ 209
分岐処理 104

【へ】

並列処理 134, 162, 165
並列比較形 A-D 変換器
39, 40
並列プロセッサ 135, 151
ベクトル演算
139, 140, 146
ベクトル演算方式
137, 139
ベクトル処理 136
ベクトル処理方式 133
ベクトル処理ユニット
146
ベクトルデータ 137
ベクトルデータ参照方式
144
ベクトルプロセッサ
133, 134, 146, 149
ベクトルマスキレジスタ
141, 146
ベクトル命令
140, 142, 146
ベクトルレジスタ
138, 146

【ほ】

方式シミュレータ 64
方式設計
63, 118, 121, 125
放熱構造モデル 256
保全度 70
ボトムアップ設計 61
ホーミング系列 88

【ま】

マイクロコントローラ 101
マイクロプロセッサ
48, 49, 108
前処理 195, 211
マクロセル 54
マシンサイクルタイム
134
マスクパターンデータ 66
マスタスレーブ形 16
待ち時間 140
マルチスレッド形
プロセッサ 153
マルチプレクサ 93
マルチプレクサ形 58
マルチプロセッサ
151, 153
マルチメディア符号化
175

【み】

見逃し確率 96

【め】

命令コード 129, 132
命令コード長 107
命令セットレベル設計 64
命令デコーダ 153, 154
命令バス 114, 129
命令フェッチ 114, 129
命令分配器 153
命令レジスタ 129, 132
メモリ回路 120

メモリセルの検査 91
 メモリチップ 75, 77
 メモリのテスト 90
 メンバシップ関数 227, 230, 234
 メンバシップ関数発生器 230, 237, 240

【も】

モジュロアドレッシング 110, 111, 115, 124, 128

【ゆ】

有限状態機械 9
 有向グラフ 10

【ら】

ラベリング 246

【り】

リアルタイム処理 102
 離散コサイン変換 174, 196
 離散フーリエ変換 172
 リセット信号 131

リブルキャリ加算器 23
 量子化 196
 量子化雑音 181, 190
 量子化ビット数 177
 リンク長 76

【る】

ルックアップテーブル形 58
 ルックアップテーブル方式 221
 ループアンローリング 158, 159, 160
 ループ制御機構 108, 110, 124
 ルール命令 236

【れ】

レイアウト設計 120
 レジスタ・トランスファ設計 64
 レジスタファイル 153
 レジスタリネーミング 161
 レーシング 128
 列デコーダ 37

連続アドレス参照 145

【ろ】

ローエンド DSP 102
 ロジック LSI 118
 ロジックセル 59
 論理回路 1
 論理キューブ 126
 論理合成ツール 65
 論理シミュレータ 65
 論理設計 66
 論理デバイス 2

【わ】

ワイヤボンディング 254
 ワイヤボンディング方式 241
 ワイヤレスボンディング方式 241
 和積形回路 4
 ワードシリアル 208
 ワードパラレル 208
 割込み処理 132
 割込み信号 132

【A】

A-D 変換器 38, 103, 112, 184, 185
 A-D 変換システム 176
 A-D/D-A 変換器 178
 A-D/D-A 変換システム 178, 181
 ALU 119
 AND 1, 141
 AND ゲート 3
 AND-OR 形回路 3
 ASCP 49
 ASIC 193
 ASSP 49
 ATPG 120

【B】

BC 97
 BGA 247, 248, 256, 259
 BIST 94
 BS 177

【C】

CAD 63
 CAD ツール 63, 66, 115, 120, 131
 CAD データベース 63
 CD 177
 CD プレーヤ 177
 CGA 248
 CISC 104

CISC アーキテクチャ 104
 CMOS 2, 47
 CMOS ゲート 51, 80
 CPS 217
 CSP 259, 260
 CUPS 217

【D】

D-A 変換器 38, 43, 103, 184, 185
 D-A 変換システム 176
 DAT 177
 DCC 177
 DCT 174, 196, 208
 DCT 用 LSI 204
 D-FF 12, 18

DFT 172
DMAC 112, 118
DSP 99, 103, 107, 112, 118
DSP コア 112, 115, 118
DTL 2

【E】

ECL 2
EXOR 1, 141
EXOR ゲート 28

【F】

FF 7
FFT 173
FIFO 147
FIR フィルタ 170, 192
FIR フィルタ方式 182
FIR フィルタ用 LSI 176
FLC 209
FLIPS 228
FLOPS 150
FORTRAN 136, 144, 145
FORTRAN プログラム 136, 141, 142
FPGA 56
FSC 210

【G】

GOB レイヤ 209

【H】

H.261 196, 198, 201, 202, 205, 211
H.262 196
H.261 符号器 209
HDL 119

【I】

IC 47, 241
IC チップ 77
IDCT 208

IIR フィルタ方式 182
in-order 形スーパー
スカラプロセッサ 158
I/O バス 112

【J】

JK-FF 12, 13

【K】

KL 変換 174

【L】

LGA 258
LMS 法 174
LSB 29, 185
LSI 47, 100, 118, 176, 241
LSI チップ 112, 118

【M】

M 系列パターン発生器 96
max 演算 234, 238
max 演算器 240
max レジスタ 238
MB レイヤ 209
MCM 249, 250, 259
——の放熱特性 254
MCM 技術 250
MCM-C 250, 257
MCM-D 251, 258
MCM-D/C 251
MCM-D/L 251
MCM-L 250, 258
MCM-Si 251
MD 177
Mealy 形順序回路 9, 15, 89

MIMD 163, 165
min 演算 234, 237, 238
min 演算器 237, 240
min レジスタ 237
min-max 重心法 227
min-max 演算部 238

MISD 163, 165
Moore 形順序回路 9
MOS(FET) 2
m-out-of-n システム 72
MPEG 1

196, 198, 205, 213

MPEG 2 196, 198, 205, 213

MPU 48
MSB 29
MTBF 70
MTTF 70
MTTR 70

【N】

NAND 1, 131
NAND ゲート 84, 85
NAND-NAND 形回路 4
NMOS トランジスタ 51, 52
nop 命令 155
NOR 1, 131
NOR-NOR 形回路 5
NOT 1, 141
NOT ゲート 3
NTSC 198

【O】

OR 1, 141
OR ゲート 3
OR-AND 形回路 4
OS 102
out-of-order 形スーパー
スカラプロセッサ 158, 161

【P】

PAL 56
PCM 信号 177, 185
PE 75, 162, 166, 204, 218
PGA 256
PLA 56, 130
PLD 56

PMOS トランジスタ
51, 52
PWB 250, 251, 256, 261

【Q】

QFP 248, 256
QR 分解 174
QR-RLS 174

【R】

RISC 101, 104
RISC アーキテクチャ
105, 108, 114
RISC プロセッサ 108
RLS 174
ROM 57
RS-FF 12, 13
RS-T-FF 14, 20

【S】

s-a-0 79
s-a-1 79
SEC-DED 符号 72
SIMD 163, 165

SISD 163, 164
SRAM 方式 57

【R】

RS-T-FF 18

【T】

TAB 242, 254, 259
——の異常検査 244

TAB テープ
242, 243, 244

T-FF 12, 13
TS 88
TTL 2

【U】

USIC 49

【V】

VLC 209
VLIW 106
VLIW アーキテクチャ
106
VLIW プロセッサ 161

VLIW 方式 155

VLSI 2, 47, 49, 241

——の実装 247

——のテスト生成技術

78

——のテスト生成モデル

78

VLSI チップ 97

【W】

WS-FIFO 211

WSI 74, 75

【X】

X バス 107, 114, 125

【Y】

Y バス 107, 114, 125

$\Delta\Sigma$ 変調 179

$\Delta\Sigma$ 変調器 181

$\Sigma\Delta$ 変調 179

—— 編 者 略 歴 ——

1966 年 東京工業大学理工学部電子工学科卒業
1971 年 東京工業大学大学院理工学研究科
電子工学専攻(博士課程)修了,工学博士
1971 年 千葉大学講師(工学部電子工学科)
1974 年 千葉大学助教授(工学部電子工学科)
1984 年 千葉大学教授(工学部電気工学科)
1989 年 同(工学部情報工学科)
現在に至る

VLSI と デジタル信号処理

VLSI and Digital Signal Processing

© Takashi Yahagi 1997

1997 年 2 月 15 日 初版第 1 刷発行

検印省略

編 者 や 谷 は ぎ た か し 嗣
萩 隆 嗣

東京都文京区千駄木 5-19-10

著 者 い 伊 と う ひ で お
藤 藤 秀 男

千葉県四街道市みそら 3-29-8

の ぐ ち こ う き
野 口 孝 樹

東京都世田谷区上北沢 3-23-18

ふ じ わ ら ひ ろ し
藤 原 洋

神奈川県川崎市高津区

溝口 405-1-6 A

ほか 7 名

発 行 者 株式会社 コ ロ ナ 社

代 表 者 牛 来 辰 巳

印 刷 所 新日本印刷株式会社

112 東京都文京区千石 4-46-10

発行所 株式会社 コ ロ ナ 社

CORONA PUBLISHING CO., LTD.

Tokyo Japan

振替 00140-8-14844・電話 (03) 3941-3131 (代)

ISBN 4-339-01127-4

(製本: 愛千製本所)

Printed in Japan



無断複写・転載を禁ずる

落丁・乱丁本はお取替えいたします