まえがき

コンピュータ技術の進歩と、スマートフォンやタブレットなど携帯端末の急速な普及に伴い、われわれの日常生活のありとあらゆるサービスが電子化され、もはやコンピュータなしでは社会が成り立たなくなってきている。一方で、コンピュータには処理の高速化のために高度な並列処理や多階層メモリシステムなどが導入され、その能力を最大限に引き出すためには、さまざまなプログラム上の工夫が必要になってきている。したがって、コンピュータの仕組み、すなわちどのような原理でコンピュータが作られ、中身はどうなっているのかを学ぶことは、コンピュータの設計開発を目指す情報系学生ばかりでなく、コンピュータを活用して制御システムや応用プログラムの開発に従事する理工系学生やデータ分析に従事する医薬・人文・社会系学生にも必須になっている。

本書は、そのような要求に応えるべく、コンピュータの動作原理に関する入門書として、著者らがコンピュータを専門としない機械系学生を対象に実施してきた「計算機工学」の講義資料をもとに書いたものである。本書がカバーする範囲は、コンピュータの歴史から、コンピュータの計算原理を与える論理代数、そして、論理代数に基づく回路設計、さらにはシステムソフトウェアを含むシステム構成・制御技術やネットワーク技術と幅広いが、その内容を本編と付録に分け、本編でひととおりコンピュータの基本原理とシステム構成が理解できるようになっている。ウェブ上で配布する付録では、本編で扱った原理・構成要素のさらなる詳細や並列処理などを含む高度なコンピュータ構成技術を扱っており、より深い知識が得られるようになっている。また、章末問題の解答も記載されている。

本書の執筆者は(私を除いて)執筆時点で40歳前後の,まさにコンピュータを活用して応用分野を切り開いてきた新進気鋭の教育・研究者たちである。非情報系の学生目線でまとめられた本書を通じて,多くの学生たちがコンピュータの仕組みを理解し,その得手・不得手を見極めながらコンピュータの能力を最大限に活用できるプログラム開発の一助になればと思っている。

最後に、本教科書を取りまとめるにあたり、ご尽力いただいたコロナ社に深く感謝する。

2015年1月

著者を代表して 小 林 広 明

目 次

1. 数 の 表 現

1.1 2 進数によるディジタル表現 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	1
1.1.1 ディジタル表現・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	1
1.1.2 2 進 数	3
1.1.3 10 進数 , 16 進数 , 8 進数 · · · · · · · · · · · · · · · · · ·	5
1.1.4 2 進数の加減算・乗除算	7
1.2 2 進数による符号付き数の表現	8
1.2.1 符号と絶対値法・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	8
1.2.2 2の補数表現	9
1.2.3 2の補数表現の加減算・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	11
1.2.4 2の補数表現のビット拡張	13
1.3 固定小数点数と浮動小数点数	13
1.3.1 固定小数点数とその加減乗算	13
1.3.2 浮動小数点数	15
1.3.3 IEEE754 フォーマット · · · · · · · · · · · · · · · · · · ·	16
1.3.4 浮動小数点数の加減算	18
1.3.5 浮動小数点数の乗算と除算	19
1.3.6 丸 め	20
章 末 問 題	22
2. ブール代数と論理回路	
2.1 論理値と論理演算・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	23
2.2 論 理 関 数	24
2.2.1 論理関数とは	24
2.2.2 真 理 値 表	26
2.2.3 式の変形と公式	26
2.2.4 双 対 性	29

2.3 標	準 形	30			
2.3.1	論理関数の設計・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	30			
2.3.2	最小項と最大項・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	30			
2.3.3	加法標準形と乗法標準形・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	32			
2.3.4	真理値表から式への変換・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	33			
2.4 論	理 回 路	34			
2.4.1	論理演算を行う電子回路・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	34			
2.4.2	回 路 記 号	34			
2.4.3	論理関数と論理回路・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	36			
2.5 よく	使われる演算子	37			
2.5.1	完 備 性	37			
2.5.2	否定論理積(NAND)と否定論理和(NOR)・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	37			
2.5.3	排他的論理和·····	38			
章末	問 題	38			
	3. 組合せ回路				
	- 3式の簡単化 ·····	40			
3.2 カル	,ノー図を使う方法 ······	40 41			
3.2 カル	/ノー図を使う方法 ····· カルノー 図······				
3.2 カル	・ノー図を使う方法 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	41			
3.2 カル 3.2.1 3.2.2 3.2.3	,ノー図を使う方法 カルノー 図	41 41			
3.2 カル 3.2.1 3.2.2 3.2.3 3.2.4	カルノー図を使う方法 カルノー 図・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	41 41 43			
3.2 カル 3.2.1 3.2.2 3.2.3 3.2.4 3.3 設計	カルノー図を使う方法 カルノー図・ 論理積の項と隣接するます目の関係 論理式の簡単化・ ドントケア項のある場合 サの具体例・	41 41 43 43			
3.2 カル 3.2.1 3.2.2 3.2.3 3.2.4 3.3 設計	カルノー図を使う方法 カルノー図・ 論理積の項と隣接するます目の関係 論理式の簡単化・ ドントケア項のある場合 中の具体例・ 的な組合せ回路	41 43 43 44			
3.2 カル 3.2.1 3.2.2 3.2.3 3.2.4 3.3 設計	カルノー図を使う方法 カルノー図・ 論理積の項と隣接するます目の関係 論理式の簡単化・ ドントケア項のある場合・ 中の具体例・ S的な組合せ回路・ デコーダとエンコーダ・	41 43 43 44 45			
3.2 カル 3.2.1 3.2.2 3.2.3 3.2.4 3.3 設計 3.4 基本	カルノー図を使う方法 カルノー図・ 論理積の項と隣接するます目の関係 論理式の簡単化・ ドントケア項のある場合 +の具体例・ 応的な組合せ回路 デコーダとエンコーダ マルチプレクサとデマルチプレクサ	41 43 43 44 45 47			
3.2 カル 3.2.1 3.2.2 3.2.3 3.2.4 3.3 設言 3.4 基本 3.4.1 3.4.2 3.4.3	カルノー図を使う方法 カルノー図・ 論理積の項と隣接するます目の関係 論理式の簡単化・ ドントケア項のある場合 中の具体例 S的な組合せ回路 マルチプレクサとデマルチプレクサ バレルシフタ・	41 43 43 44 45 47 48			
3.2 カル 3.2.1 3.2.2 3.2.3 3.2.4 3.3 設言 3.4 基本 3.4.1 3.4.2 3.4.3	カ ル ノ ー 図・ 論理積の項と隣接するます目の関係 論理式の簡単化・ ドントケア項のある場合・ 中の具体例・ 的な組合せ回路・ マルチプレクサとデマルチプレクサ・バレルシフタ・ 「を行う組合せ回路・	41 43 43 44 45 47 48 49			
3.2 カル 3.2.1 3.2.2 3.2.3 3.2.4 3.3 設言 3.4 基本 3.4.1 3.4.2 3.4.3	カルノー図を使う方法 カルノー図・ 論理積の項と隣接するます目の関係 論理式の簡単化・ ドントケア項のある場合・ 中の具体例・ な的な組合せ回路・ マルチプレクサとデマルチプレクサ・ バレルシフタ・ 1を行う組合せ回路・ 加算器・	41 43 43 44 45 47 48 49 51			
3.2 カル 3.2.1 3.2.2 3.2.3 3.2.4 3.3 設計 3.4 基本 3.4.1 3.4.2 3.4.3 3.5 計算	カルノー図・ カルノー図・ 論理積の項と隣接するます目の関係 論理式の簡単化・・・ ドントケア項のある場合・・・ 中の具体例・・・ らいな組合せ回路・・・ マルチプレクサとデマルチプレクサ・バレルシフタ・・・ 「を行う組合せ回路・・・ 加算器・・・ 減算器・・・	41 43 43 44 45 47 48 49 51 52			
3.2 カル 3.2.1 3.2.2 3.2.3 3.2.4 3.3 設計 3.4 基本 3.4.1 3.4.2 3.4.3 3.5 計算 3.5.1	カルノー図を使う方法 カルノー図・ 論理積の項と隣接するます目の関係 論理式の簡単化・ ドントケア項のある場合・ 中の具体例・ な的な組合せ回路・ マルチプレクサとデマルチプレクサ・ バレルシフタ・ 1を行う組合せ回路・ 加算器・	41 43 43 44 45 47 48 49 51 52 52			

4. 順序回路の基礎

4.1	状	態 機 械	57
4	4.1.1		57
4	4.1.2	状態 機 械 の 例・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	58
4	4.1.3	同期式と非同期式の状態機械・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	58
4.2	入力	力・状態・出力集合	59
4.3	内部	部状態の遷移	60
4	4.3.1	状態 遷 移 図	60
4	4.3.2	状態遷移表と出力表・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	62
4.4	順	序 回 路	63
4	4.4.1	順序回路の構成・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	63
4	4.4.2	順序回路の動作・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	64
4	4.4.3	状態遷移関数と出力関数を表す論理関数 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	64
4.5	記	憶 回 路	65
4	4.5.1	フリップフロップ ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	65
4	4.5.2	フリップフロップの動作の解析 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	66
4	4.5.3	クロック入力付きのフリップフロップ	67
4	4.5.4	マスタスレーブ型フリップフロップ	69
4	4.5.5	フリップフロップの種類 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	71
章	末	問 題	72
		5. 順序回路の設計と応用	
5.1	順序	字回路の設計の概要・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	73
5.2	設計	計手順の詳細 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	74
ļ	5.2.1	状態遷移図の作成	74
ļ	5.2.2	遷移表と出力表の作成・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	75
ļ	5.2.3	状態・入力・出力の符号化・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	76
ļ	5.2.4	状態遷移関数と出力関数の実現	77
į	5.2.5	組合せ回路の設計・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	78
į	5.2.6	順序回路の完成・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	79
5.3	基本	本的な順序回路⋅⋅⋅⋅⋅	80

	目	次	V
5.3.1 レ ジ ス タ			80
5.3.2 シフトレジスタ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・			80
5.3.3 カ ウ ン タ			81
章 末 問 題			83
6. コンピュータの構成とプログ	ラムの実行 (1)		
6.1 コンピュータの一般的な構成			84
6.1.1 メ モ リ			85
6.1.2 プロセッサ			86
6.1.3 命令セット			88
$6.1.4$ 命令セットアーキテクチャの具体例 \cdots			88
6.2 MIPS の命令セットとアセンブリ言語 ·····			89
6.3 MIPS の命令と動作:演算命令・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・			91
6.3.1 レジスタ間の演算			91
6.3.2 レジスタの種類			93
6.3.3 即 値 演 算			95
6.3.4 命令の組合せ例:ビット操作			96
6.4 MIPS の命令と動作: ロード命令・ストア命令 · · · · · ·			98
章 末 問 題		1	102
7. コンピュータの構成とプログ	ラムの実行 (2)		
7.1 MIPS の命令と動作:分岐命令・ジャンプ命令・・・・・		1	103
7.1.1 分 岐 命 令		1	103
7.1.2 ジャンプ命令			
7.2 関数呼出し		1	106
7.3 スタックとメモリマップ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・		1	109
7.4 MIPS 命令セットのまとめ		1	113

7.4.1 命 令 一 覧…1137.4.2 機械語との対応…114章 末 問 題…115

8. メモリシステム

8.1 SRAM · · · · · · · · · · · · · · · · · · ·	117
8.1.1 構 成	117
8.1.2 動 作	119
8.2 DRAM	119
8.2.1 構 成	119
8.2.2 動 作	120
8.3 不揮発性メモリ	121
8.4 記憶階層と参照の局所性・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	123
8.4.1 記 憶 階 層	123
8.4.2 参照の局所性	123
8.5 キャッシュメモリ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	125
8.6 仮想記憶	126
章 末 問 題	127
9. コンパイラ	
9.1 高水準プログラミング言語	
9.2 コンパイラの構成・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	129
9.2 コンパイラの構成・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	129 131
9.2 コンパイラの構成・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	129 131
9.2 コンパイラの構成・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	129 131 133 135
9.2 コンパイラの構成・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	129 131 133 135
9.2 コンパイラの構成・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	129 131 133 135 136
9.2 コンパイラの構成・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	129 131 133 135 136 137
9.2 コンパイラの構成・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	129 131 133 135 136 137 138 139
9.2.1 字 句 解 析 9.2.2 構 文 解 析 9.2.3 意 味 解 析 9.2.4 中間コード生成 9.2.5 最 適 化 9.2.6 コード生成 章 末 問 題 10. コンピュータネットワーク 10.1 コンピュータネットワークの基本概念	129 131 133 135 136 137 138 139
9.2 コンパイラの構成・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	129 131 133 135 136 137 138 139

10.2 インターネット				• • • • • •			142
$10.2.1$ インターネットの特徴 \cdots				• • • • • •			142
10.2.2 OSI 基本参照モデルと TCP/I	P の階	層構造					143
10.2.3 ネットワークインタフェース層	a						144
10.2.4 インターネット層							146
10.2.5 トランスポート層							149
10.2.6 アプリケーション層							152
10.3 DNS							152
10.3.1 IP アドレスとドメイン名 ·····							153
10.3.2 DNS による名前解決							154
10.4 インターネットのセキュリティ …							156
章 末 問 題							158
11. 蒿	† 算 棋	幾の歴	₹史				
11.1 計算に用いられた古代の道具・・・・・・							159
11.2 歯車による機械式計算機の時代							160
11.3 電気・電子式計算機の時代:近代的	計算機	の黎明	期				162
11.4 集積回路と現代の計算機							165
索 引							170
付録							
以下の Web ページからダウンロード可能であ	る。						
http://www.coronasha.co.jp/np/isbn/97	843390	024920					
(本書の書籍ページ。コロナ社のトップペー	ジから	書名検索	索でもア	クセス	くできる)		
A. 順序回路:発展編			(C. 入	出力システム		
A.1 状態数の最小化······	1	C.1	メモリ	マップ	I/O 方式とノ	、出力専用	目命
A.2 非同期式順序回路 · · · · · · · · · · · · · · · · · · ·	3	4	令方式				10
B. キャッシュメモリの構成		C.2	割	iΔ	み ·····		11
B.1 データ格納位置の決定	5	C.3 I	DMA	転	送		13
B.2 データ入替え方式	8	C.4	入出力。	とオペ	レーティング	システム	13
B.3 書込みアクセス	8	C.5	入出力:	システ	ムの実際		14
章 末 問 題	9	章末	問	題…			16

${f D}$. オペレーティングシステム	F. コンピュータの高性能化
D.1 オペレーティングシステムの役割 <i>17</i>	F.1 コンピュータの性能 ····· 49
D.1.1 ハードウェアの 有効活用 18	F.2 コンピュータのコスト····· 50
D.1.2 使いやすさの向上 19	${ m F.3}$ さまざまな命令形式 $\cdots \cdots 51$
D.2 オペレーティングシステムの構成	${ m F.3.1}$ 演算構成とオペランド指定方式 ${\it 51}$
要素19	F.3.2 命令の大規模化・複雑化····· 53
D.2.1 制御プログラム ····· 20	F.4 布線論理制御とマイクロプログラム
D.2.2 サービスプログラム ····· 22	制御
D.2.3 言語処理プログラム ····· 22	F.5 CISC & RISC 55
D.3 マルチプログラミングと割込み ··· 23	F.5.1 RISC の 登 場 ····· 55
D.4 仮想記憶25	F.5.2 パイプライン処理 ····· 57
章 末 問 題	F.5.3 パイプラインの実現例 59
E. プロセッサの実現	F.5.4 CISC vs RISC 61
E.1 命令セット······ 29	${ m F.6}$ さらなる高速化 $\cdots 62$
E.2 全 体 構 成 30	F.6.1 クロックサイクル時間の
E.3 構 成 要 素 31	短縮
E.3.1 基本的な回路部品 ····· 31	F.6.2 命令レベル並列性 · · · · · · 62
E.3.2 命令メモリ ····· 33	F.6.3 データ並列性 ····· <i>63</i>
E.3.3 汎用レジスタ ····· 34	F.6.4 スレッドレベル並列性 · · · · · · 65
E.3.4 ALU····· 35	章 末 問 題
E.4 各部の動作と構成 · · · · · 37	G. コンピュータネットワーク:発展編
E.4.1 IF (命令フェッチ)部 ······ 38	G.1 Ethernet による通信 · · · · · · · 68
E.4.2 ID (命令デコード)部 38	$\mathrm{G.2}$ TCP の通信手順 $\cdots 69$
E.4.3 EX(実行)部 ····· 41	$\mathrm{G.3}$ アプリケーション層プロトコルの
E.5 制 御 回 路····· 42	例: POP3 ····· 71
E.6 動 作 例 43	H. 計算機の歴史:資料
E.7 プロセッサ構成法の一般論 · · · · · 44	
章 末 問 題	章末問題解答

複雑な数値計算のみならず,音楽や映像の再生などのさまざまな処理が可能な現在のコンピュータ(計算機)には,0と1の二つの状態を表す,ビットを単位としてデータを表すディジタル方式が用いられている。本章では,数値データのディジタル表現について述べる。

1.1 2 進数によるディジタル表現

1.1.1 ディジタル表現

『広辞苑』(岩波書店)によれば,ディジタル(digital)とは「ある量を有限桁の数字列として表現すること」とある。これに対し,アナログ(analog)とは「ある量を連続的に変化しうる物理量で表現すること」と説明されている。図 1.1 に示す 2 種類の温度計は,アナログ表現とディジタル表現の例である。



(a) アナログ 表現

(b) ディジタル 表現

図 1.1 アナログ表現と ディジタル表現

図 (a) の水銀温度計では,温度に応じて球部の水銀が熱膨張し,中央部の毛細管中を上昇する。水銀の高さを読み取ることにより温度を知ることができる。温度に応じて連続して変化する水銀の高さは,温度のアナログ表現であると言える。一方,図(b)のディジタル温度計では,

[†] コンピュータ(computer)と計算機は同じ意味で用いた。ただし,11章では歴史を扱っているため計算機と記した。

センサにより読み取られた温度情報が,何らかの電気的処理の後にいくつかのライトの点灯に より表現されている。各ライトの点灯と消灯をそれぞれ1,0と考えれば,これは1,0の有限 桁の数字列による温度のディジタル表現に当てはまることがわかる。これらの二つの表現には 決定的な違いがある。アナログ表現の水銀温度計では、読み取ることさえできればごく微小な 温度変化を観測できる。一方 , ディジタル温度計では , ライトの点灯が 0.25° C 単位であるとす れば、それよりも小さな温度変化を知ることはできない。このように、アナログにより表現さ れる値は連続であり中間値をいくらでももちうるのに対し,ディジタル表現は離散的であり中 間値をもたない。現在のコンピュータは,ディジタル方式に基づいて作られている。アナログ に比べて表現の限定的なディジタル方式を用いるのはなぜだろうか。それは,与えられたデー タの記録・処理・伝送を正しく行う必要があるからである。例えば,銀行のオンラインシステ ムにおいて、貯金の残高が水銀柱の高さにより記録・処理されていることを想像する。この場 合,完璧な温度調節を備えた部屋にでも保管しない限り水銀柱の高さは絶えず変動し,正確な 残高がわからなくなる。あるいは,水銀が少しずつ漏れていき,残高が減ってしまうかもしれ ない。また,口座に入金があった場合,水銀柱の高さを入金額の分だけ正確に増やすことは難 しい。さらに,残高情報を送信するために,高さを正確に一定に保ったまま水銀柱を別の支店 に運ぶのは至難の業である。これらの問題は雑音や減衰によるアナログ表現の劣化が原因であ り、水銀柱の高さのかわりに電子回路における電圧によりアナログで残高情報を表現しても変 わることはない。このように,連続な物理量をそのまま用いるアナログ表現では,情報の劣化 を避けるのは本質的に困難である。

一方,ディジタル表現では,連続情報の一部を切り捨てて離散的に情報を近似表現することにより,情報の劣化を抑えることが可能である。図(b)のディジタル温度計のようにライトの点灯個数により残高を表せば,よほどのことがない限り金額を間違うことはない。もちろん,表現できる金額はライトの数に左右されるが,通常,残高は有限桁の数値により表現できるため,十分な数のライトを用意すれば実用上問題はない。

実際のコンピュータにおいては,ディジタル温度計におけるライトの点灯・消灯のかわりに,電圧の高低により表現の基本単位であるビットを表す。例えば,0 V と 1.1 V により 2 通りの 状態を表現し,それぞれ 0 ,1 という記号に対応させると,それぞれの電圧が完全に 0 V ,1.1 V でなくても,ある 閾 値電圧を境に 0 ,1 を区別できる。このため,情報を記憶する,あるいは 遠方に伝送する際に電圧が若干変動しても,元と変わらない 0 ,1 を維持することが可能となる。また,後述のように,数値データを 0 ,1 の列である 2 進数により表現すれば,1 ,0 を真偽に見立てた論理操作(2 章以降で学ぶ)により値の計算ができる。

いわゆる「数」以外のデータも,コンピュータ内ではすべてディジタル値として表現される。例 えば,テキスト処理などは各文字に数値コードを割り振り,そのディジタル値を操作することに より行われる。ASCII(American Standard Code for Information Interchange,アスキー) は,ほとんどのコンピュータで用いられている規格であり, $0\sim127$ の文字コード (character code) により,英数字,記号,あるいは改行やタブなどの制御を表す。表 1.1 に ASCII による文字コード表(抜粋)を示す。

コード	文字										
32	空白	48	0	64	@	80	Р	96	,	112	р
33	!	49	1	65	A	81	Q	97	a	113	q
34	"	50	2	66	В	82	R	98	b	114	r
35	#	51	3	67	С	83	S	99	С	115	S
36	\$	52	4	68	D	84	Т	100	d	116	t
37	%	53	5	69	Е	85	U	101	е	117	u
38	&	54	6	70	F	86	V	102	f	118	V
39	,	55	7	71	G	87	W	103	g	119	W
40	(56	8	72	Н	88	X	104	h	120	X
41)	57	9	73	I	89	Y	105	i	121	У
42	*	58	:	74	J	90	Z	106	j	122	Z
43	+	59	;	75	K	91	[107	k	123	{
44	,	60	<	76	L	92	\	108	1	124	1
45	-	61	=	77	M	93]	109	m	125	}
46		62	>	78	N	94	٨	110	n	126	~
47	/	63	?	79	О	95	_	111	0	127	DEL

表 1.1 ASCII 文字コード表(抜粋)

以上のように,ディジタル表現は信頼のおけるコンピュータを実現するための基本原理であり,ハードウェア設計からソフトウェア開発,またコンピュータの利用に至るまで欠くことのできない基本知識である。情報の劣化に強いとはいえディジタル表現は万能ではなく,限られた数のビットを用いて目的の情報を効率よく適切に表現することが求められる。以下,コンピュータに用いられる数値表現や,その計算方法について述べる。

1.1.2 2 進 数

1.1.1 項では,今日のコンピュータにおいては 0,1 の 2 通りの状態を表すビットによりデータを表すことを述べた。 2 進数(binary number)は複数のビットにより数を表現する方法である。より正確には,基数(base number,radix)を 2 として数を表したものが 2 進数であり,その 1 桁(binary digit)をビット(bit)と呼ぶ。われわれが普段使っているのは 10 進数(decimal number)である。図 1.2(a)に示すとおり,10 進数では, $0 \sim 9$ の 10 種類の記号を用いて数を表現している。

このため , 各桁では 10 通りの数を数えることが可能である。この表現に用いる記号の種類の数のことを基数という。 10 進数は基数が 10 の数の表現法である。一方 , 図 (b) の 2 進数では 0 と 1 の 2 種類の記号により数を表現しているため , 基数は 2 となる。基数が 2 の場合には , 各桁は 2 通りの数のみ数えることができる。したがって , 図 1.3 に示すように , 1 に 1 を加算

図 1.2 10 進数と 2 進数

$$\begin{array}{ccc}
0 & 1 & & & 1 & 1 \\
+) & 0 & 1 & & +) & 0 & 1 \\
\hline
1 & 0 & & & & 1 & 0 & 0 \\
(a) & & & & & (b)
\end{array}$$

図 1.3 2 進数の繰上がりの例

すると,つぎの桁に繰上がり(桁上がり,キャリー,carry)が生じ,その桁は0となる。

基数がBの数を考える。このとき, $a_Na_{N-1}\cdots a_2a_1a_0$ と表された (N+1) 桁の数は式 (1.1) により計算される数を表している。

$$a_0 B^0 + a_1 B^1 + a_2 B^2 + \dots + a_{N-1} B^{N-1} + a_N B^N = \sum_{i=0}^N a_i B^i$$
 (1.1)

10 進数の場合には , 0 から数えて i 桁目が 10^i の数を表していることを考えればわかりやすい。 さて , 基数 B が 2 の 2 進数の場合には

$$a_0 2^0 + a_1 2^1 + a_2 2^2 + \dots + a_{N-1} 2^{N-1} + a_N 2^N = \sum_{i=0}^N a_i 2^i$$
 (1.2)

となり, a_i が0, 1 であることから, i 桁目が1 なら 2^i を表していることになる。

本来の 2 進数には桁数に制限はないが,一般的なコンピュータでは,便宜上ある決まった桁数の 2 進数を用いる。この桁数はコンピュータや処理系 † によりさまざまではあるが,多くの場合,バイト(byte)と呼ぶ単位の倍数の桁数を扱う。現代のほとんどのコンピュータでは 8 ビットを 1 バイトとする。図 1.4(a) に 1 バイトの 2 進数の例を示す。

図 1.4 コンピュータにおける有限桁の 2 進数の例

2 進数において,数の小さな位のことを下位,数の大きな位のことを上位と呼ぶ。また,最も下の位のことを最下位ビット(least significant bit, ${f LSB}$)と呼ぶ。同様に,最も上の位のこ

[†] プログラミング言語が動作するコンピュータ上の環境,またはコンピュータ上で動作できるような準備を 行うソフトウェアを言語処理系,略して処理系(programming language processing system)と呼ぶ。9 章で学ぶコンパイラやインタプリタなどを指す。

とを最上位ビット (most significant bit, MSB) と呼ぶ。バイトのほかによく用いられる単位として,ワード (word) がある。ワードは語と表記することもある。ワードはそのコンピュータや処理系で最も自然に扱うことができる桁数であり、機種により 16 ビット,32 ビット,64 ビットなどと異なる。しかしながら、これまでに広く普及している 32 ビットコンピュータでは32 ビットの固定長データを 1 ワードとすることが多いことから、本書でも特に断りがない限り1 ワードは 32 ビットであるとする。図 (b) に 32 ビット 1 ワードの 2 進数の例を示す。

プログラミング言語においても,これらの基本的な桁数の 2 進数を表現する方法が用意されている。図 1.5 に示すように,C 言語では,符号なし数(unsigned number)を表す変数型である unsigned char,unsigned short,unsigned int は,多くの処理系において,それぞれ 8 ビット,16 ビット,32 ビットの 2 進数に対応する。これらが表現可能な値の範囲を図 (b) に示す。コンピュータにおいて,演算結果がこの表現可能な値の範囲を超えてしまうことをオーバーフロー(overflow),またはあふれという † 。オーバーフローはプログラムが正しく動かない原因となりうる。

```
8 bit (unsigned char) 0 \sim 255 (= 2^8 - 1) (signed char) -128 \sim 127
16 bit (unsigned short) 0 \sim 65535 (= 2^{16} - 1) (signed short) -32768 \sim 32767
32 bit (unsigned int) 0 \sim 4294967295 (= 2^{32} - 1) (signed int) -2147483648 \sim 2147483647
```

図 1.5 C 言語における整数型と,典型的な処理系で表現可能な値の範囲 (unsigned は符号なし,signed は符号付きを表す)

1.1.3 10 進数, 16 進数, 8 進数

10 進数の数 37 を 2 進数で表現するとどうなるであろうか。また,1011 という 2 進数は 10 進数ではいくらだろうか。特にプログラムを作成する際に,このような基数の異なる数どうしの変換方法が必要となることがある。 1 と 0 だけの 10 進数の数は 2 進数と区別がつかないため,以降,本章では基数を右下に添えることとする。基数を省略した場合には 10 進数として解釈することとする。

2 進数から 10 進数への変換は,式(1.2) を計算することにより行える。例えば, 1011_2 は

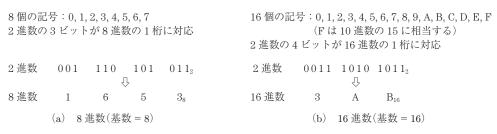
$$1 \times 2^{0} + 1 \times 2^{1} + 0 \times 2^{2} + 1 \times 2^{3} = 1 + 2 + 8 = 11$$
(1.3)

であることから 11 とわかる。一方,10 進数から 2 進数への変換にはさまざまな方法が考えられるが,筆算により変換する方法として図 1.6 の方法がある。この例では 37 を 2 進数 1001012 に変換している。変換は,2 での割り算を繰り返し行い,余りを並べていくことにより行われ

[†] 符号なし数においては,最上位ビットを超えて繰上がり・繰下がりが生じる場合と一致する。そのため桁あふれとも呼ばれるが,後述する符号付き数も含めて考えると,桁があふれることとオーバーフローは必ずしも一致しない。

る。図の例では,まず 37 を 2 で割り,商 18 と余り 1 を下に書く。つぎに, 18 を 2 で割り,商 9 と余り 0 を書く。これを商が 0 になるまで繰り返す。最後に,一番下を最上位,一番上を最下位として縦に並んだ余りを並べると,変換後の 2 進数が求まる。

コンピュータの内部では 2 進数が用いられるものの,人間が読み書きするには桁数が多すぎて不便である。 10 進数は人間が読み書きしやすいが,上述のように 2 進数との相互変換が煩雑である。そこで,8 進数(octal number)や 16 進数(hexadecimal number)を用いることがある。 8 進数は基数が 8 の数の表現方法であり,16 進数は基数が 16 の数の表現方法である。図 1.7 にこれらの特徴を示す。図(a)に示す 8 進数では,各桁において $0 \sim 7$ の 8 個の記号を用いる。各桁が表す $0 \sim 7$ の数は,3 ビットの 2 進数に対応している。このことから,図のように,2 進数を 3 ビットごとに区切り,それぞれを各桁に変換することにより,2 進数から 8 進数への変換が行える。逆も同様である。



3桁、4桁ごとに10進数と2進数どうしの変換と同様に変換する。

図 1.7 8 進数と 16 進数の特徴

図 (b) に示す 16 進数の場合には , 16 種類の記号を用いる。このため , $0 \sim 9$ に加えて , アルファベットの $A \sim F$ を使用する。このアルファベットは小文字として書かれる場合もある。 A , B , C , D , E , F はそれぞれ 10 , 11 , 12 , 13 , 14 , 15 を表す。すなわち , 16 進数では各桁は 15 まで数えることができ , これを超えるとつぎの桁に桁上げを生じることになる。 $0 \sim 15$ の数は , 4 ビットの 2 進数に対応している。このため , 8 進数の場合と同様に 4 ビットごとに区切り , それぞれを変換することにより 2 進数と 16 進数の変換が行える。以上のように , 8 進数と 16 進数ではそれぞれ 3 ビット , 4 ビットの 2 進数と各桁の対応関係さえ覚えてしまえば , 各桁独立に素早く変換が可能となる。

1.1.4 2 進数の加減算・乗除算

2 進数の加減算・乗除算は,繰上がりと繰下がりに注意して 10 進数の筆算と同様に行えばよい。図 1.8 に筆算による 2 進数の加減算の例を示す。 2 進数では各桁 1 までしか数えることができないため,1 に 1 を加算する場合にはつぎの桁に繰り上がり,1 を生じる。この点に注意して,あとは 10 進数の場合と同様に下位から順に各桁の加算を行えばよい。桁上げ 1 を入れると 1+1+1 となる桁では,つぎの桁に 1 を繰り上げ,かつその桁の答も 1 となる。減算の場合,0-1 となる桁では上の桁からの繰下がり(桁下がり,桁借り,ボロー,borrow)を必要とする。この場合,上の桁からは 2 を借りてくることになるため,2-1=1 がその桁の答となる。図の例では,2 桁目の上の値 1 が繰下がりにより 0 となっている。

1111	10 進数	0	10 進数
0111101	0_2 122	$0\ 1\ 1\ 1\ 1\ 0\ \emph{X}\ 0_{2}$	122
+)0011100	1_2 57	$-) 00111001_{2}$	57
1011001	1_2 179	$0\ 1\ 0\ 0\ 0\ 0\ 1_2$	65
(a) 繰.	上がり	(b) 繰下がり)

図 1.8 筆算による 2 進数の加減算

加減算がわかれば,乗除算も 10 進数と同様に行うことができる。図 1.9 に筆算による 2 進数 の乗除算の例を示す。乗算の場合,乗数の各桁を下位より見ていき,1 の場合には被乗数をその桁の位置から書き出す。0 の場合には 0 を並べた数を書き出す。乗数のすべての桁についてこれを行った後,最下位より各桁の加算を行う。複数の 1 を加算する場合には必要な数だけつぎの桁へ繰上げを行う。加算の結果が乗算の答である。図が示すように,乗算の場合には,乗数,被乗数よりも桁が増える場合がある。一般に,n 桁と m 桁の乗算の結果は最大で (n+m) 桁の 2 進数となる。例えば,すべての桁が 1 の数どうしの乗算は,最大の桁数の積を生じる。

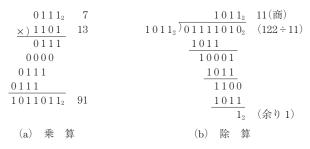


図 1.9 筆算による 2 進数の乗除算

除算の場合,被除数の最上位から見ていき,除数を引くことのできる桁数まで下がったところで上に1を書き出す。その位置の下方に除数を書き出し,減算を行う。減算結果に被除数の残りの桁を加えていき,除数を引くことができなければ0を書き出していく。引くことができる場合には1を書き出す。以上を被除数の最下位まで行うと,上方に商が,下方に余りが求め

索引

太字となっているページには,基本的な説明が詳しく書かれている。 「付」が記されているページ数は付録(Webで配布)でのページ数を示している。

【あ】		【お	1	[<	1
アイドル時間	→遊休時間	 応答時間 → レ	スポンスタイム	 空間的局所性	124
アウトオブオーダ実行	寸 付63	応用ソフトウェア	付 <i>17</i>	具象構文木	135
アキュムレータ	付52	オーバーフロー	5	組合せ回路	40
アクセス	86	オーバーフロー(氵	孚動小数点数)17	組合せ禁止項	→ドントケア項
アクセス権限	付21	オフィスコンピュ-		組込みプロセッサ	88
アセンブラ	90	オブジェクトコー	129	クライアント	150
アセンブリ言語	90	オペコード	91	グラフィカルユー!	ザインタフェース
値による呼出し	107	オペランド	91		付19
値渡し →値	[による呼出し	オペレーティングミ	ンステム 付 <i>17</i>	繰上がり	4, 52
アドレス	85	【か	1	繰下がり	7 , 54
アドレス空間	→メモリ空間	173	1	クリティカルパス	付44
アドレスバス	付11	カーネルモード	→特権モード	クロスバー	142
アドレッシングモート	98	回線交換方式	141	クロック信号	68
アナログ	1	外部割込み	付24	[1]	. 1
アプリケーション層 ((OSI) 143	カウンタ	81	L1)	1
アプリケーション層(TCP/IP)152	加算器(リップル=	キャリー型) 53	計算機	<i>→</i> コンピュ - タ
アプリケーションソフ	7トウェア	仮 数	15	ゲート	34
→応用	lソフトウェア	仮想アドレス	付26	桁上がり	→繰上がり
あふれ →オ	ーバーフロー	仮想記憶	127, 付 25	桁借り	→繰下がり
アンダーフロー	17	加法標準形	32	桁下がり	→繰下がり
[[1]		カルノー図	41	下駄履き表現	16
1017		関数 (C 言語)	107	言語処理系	→処理系
イーサネット	\rightarrow Ethernert	完備	37	[[1
一時レジスタ	92	【き	1	1	
イネーブル信号	付32	l le	1	語	→ワ ード
意味解析	135	偽	23	高級言語	→高水準言語
インオーダ実行	付63	記憶階層	123	高水準言語	90, 129
インターネット	142	機械語	90	構造ハザード	付58
インターネット層	146	基数	3	構文解析	133
インタプリタ	129	基本ソフトウェア		構文木	134
【う】			・ィングシステム	固定小数点数	13
		キャッシュブロック		コリジョン	146
上向き構文解析法	134		-ャッシュライン	コンパイラ	90, 129
【え】		キャッシュメモリ	125	コンピュータ	1
		キャッシュライン	付5	コンピュータウィ	
エッジトリガ型フリッ		キャリー	→繰上がり	コンピュータ援用	
	70	行アドレスデコーク		コンピュータネッ	トワーク 140
エンコ ー ダ →2		行選択線	118	[さ]
エンコーディング	→符号化	共通部分式削除	137	_	_
				サーバ	150

最下位ビット 4	ジョブスケジューラ 付 2	
最近接丸め(偶数) 20	ジョブステップ 付 2	⁰ 【た】
最上位ビット 5	処理系	4
最小項 31	真 2	3 ターンアラウンドタイム 付 <i>18</i>
最大項 31	シンボルテーブル 13	I
最適化 137	真理値表 2	6 ダイナミックメモリ 121
サブネットワーク 147	7 = 1	タイミングチャート 68
サブルーチン 107	【す】	ダイレクトマップ 付6
算術論理演算ユニット →ALU	スーパーコンピュータ 16	8 タスク 付20
参照の局所性 124	スーパースカラ 付6	3 タスクスケジューラ 付 <i>21</i>
[b]	スーパーバイザコール	立上がりエッジ 71
[0]	→システムコーノ	レ 立下が リ エッジ 71
時間的局所性 124	スーパーパイプライン 付6	2 単精度 16
識別子 135	スケーリング則 付6	5
字 句 131	スケジューラ	[5]
字句解析 131	<i>→</i> ジョブスケジューラ	, 遅延分岐 付67
指数 15	→タスクスケジュー	ラ チップ 34
システムコール 付14, 付 22	スター 14	1 中央処理ユニット $ ightarrow$ プロセッサ
システムソフトウェア 付 <i>17</i>	スタック 10	9 中間表現 130
下向き構文解析法 134	スタックフレーム 10	9 抽象構文木 135
実アドレス 付26	スタックポインタ 101, 11	0
実 行 87	スタティックメモリ 12	
実効アドレス 98	ストア 9	8 通信プロトコル 142
実行可能状態 付23	ストール 付5	8 ツリー 141
実行状態 付23	スプール 付2	0
シフト 8	スループット 付18, 付5	。 【て】
シフト回路 →バレルシフタ	スレッド 付2	5 ディジタル 1
シフトレジスタ 80	スレッドレベル並列性 付6	6 定数伝搬 137
ジャンプ 103	7.11.3	定数の畳込み 137
集積回路 34	【せ】	ディレクトリ 付18
終端記号 134	正規化浮動小数点数 1	6 データハザード 付59
主加法標準形 32	正規表現 13	1 データバス 付11
主記憶装置 85	制御回路 9	1 データパス 付44
主乗法標準形 32	制御八ザード 付5	9 データ並列性 付63
出力関数 58 , 65	制御パス 付4	4 データリンク層 144
出力表 62	制御部 8	6 デコーダ →2 進デコーダ
出力表(真理値表形式) 78	制御プログラム 付1	7 デコーディング →復号化
出力変数 64	生成規則 13	4 手続き 107
出力变数関数 65	生存解析 13	9 デバイスドライバ 付 <i>14</i>
循環シフト 51	正の方向への丸め 2	0 デマルチプレクサ 49
順序回路 57	セグメント 付2	7
条件分岐 →分 岐	セッション層 14	(と)
状態機械 57	セットアソシアティブ 付	7 同期式カウンタ 81
状態遷移関数 57 , 64	セレクタ →マルチプレク!	カー 同期式状態機械(順序回路) 59
状態遷移図 61	全加算器 5	3 同時マルチスレッディング 付66
状態遷移表 62	センスアンプ 12	0 等値比較器 55
状態遷移表(真理値表形式) 78	121	動的アドレス変換機構 付26
状態変数 64	【そ】	トークン →字 句
状態変数関数 64	双対性 2	9 特権モード 付14
冗長項 →ドントケア項	ソースコード 12	9 トポロジー 141
乗法標準形 32	即 値 9	5 ドメイン名 152
ジョブ 付20	ソケット 15	1 ド・モルガンの定理 28
	I	I

トランジスタ 34	引数 107	プログラム内蔵 →プログラム記憶
トランスポート層 (OSI) 143	引	
トランスポート層 (TCP/IP) 150		
ドントケア項 44	キエベル数 17 左シフト 8	プロセッサ時間 付23
1 2 1 7 7 項 44	エフフィ	フロントエンド 130
【な】	ヒット 126	分 岐 103
内部割込み 付13, 付24	ビット 2, 3	分 版
73 印 日 1 1 1 5 , 1 1 2 4	ビットごと論理演算	7) mX 1, Wil 14 9 9
【に】	ビットシフト →シフト	[^]
ニーモニック 90	ビットタント → ブラフト ビット線 → 列信号線	ページ 付27
入出力装置 85	C 9 T → 7 I 5	
入力変数 <i>64</i>	ロー C	
7(7) 2 (X		ページング 付27
【ね】	12	ベクトルプロセッサ 付 <i>64</i>
ネームサーバ 154		ヘテロジニアスマルチコア 付66
ネットワークアダプタ 付15	[151]	ベン図 31
ネットワークインタフェース層	 ファイル 付18	
144	ファイルシステム 付18	【ほ】
ネットワーク層 144	ファットツリー 141	ポート 150
	フィールド(命令) 114	
[O]	フィッシング 157	ポート番号 150
ノード 140	プートローダ 122	ポーリング 付 <i>11</i>
, 1	ブール代数 23	補助記憶装置 85
【は】	フェッチ →命令フェッチ	補数変換 →2 の補数変換
バーストモードアクセス 121	フォルダ →ディレクトリ	ポップ 109
パーソナルコンピュータ 165	不揮発性メモリ 122	ボロー →繰下がり
		3.1
ハードディスク 付11	復号化 48	
ハードディスク 付11 バイアス値 16	復号化 48 符号化 48	【ま】
バイアス値 16	符号化 48	
バイアス値 16 倍精度 16	符号化48符号拡張13	マイクロアーキテクチャ 88
バイアス値16倍精度16排他的論理和38	符号化48符号拡張13符号付き数8	マイクロアーキテクチャ 88 マイクロコンピュータ 165
バイアス値16倍精度16排他的論理和38バイト4	符号化48符号拡張13符号付き数8符号と絶対値法8	マイクロアーキテクチャ 88 マイクロコンピュータ 165 マイクロプログラム制御 付55
パイアス値16倍精度16排他的論理和38パイト4ハイパーキューブ142	符号化48符号拡張13符号付き数8符号と絶対値法8符号なし数5	マイクロアーキテクチャ 88 マイクロコンピュータ 165 マイクロプログラム制御 付55 マイクロプロセッサユニット
パイアス値16倍精度16排他的論理和38パイト4ハイパーキューブ142パイプライン処理付57	符号化48符号拡張13符号付き数8符号と絶対値法8符号なし数5符号ビット10	マイクロアーキテクチャ 88 マイクロコンピュータ 165 マイクロプログラム制御 付 55 マイクロプロセッサユニット \rightarrow プロセッサ
パイアス値16倍精度16排他的論理和38パイト4ハイパーキューブ142	符号化48符号拡張13符号付き数8符号と絶対値法8符号なし数5符号ビット10布線論理制御付54	マイクロアーキテクチャ 88 マイクロコンピュータ 165 マイクロプログラム制御 付 55 マイクロプロセッサユニット \rightarrow プロセッサ マクロ命令 92
パイアス値16倍精度16排他的論理和38バイト4ハイパーキューブ142パイプライン処理付57バグ129, 163	符号化48符号拡張13符号付き数8符号と絶対値法8符号なし数5符号ビット10布線論理制御付54	マイクロアーキテクチャ 88 マイクロコンピュータ 165 マイクロプログラム制御 付 55 マイクロプロセッサユニット \rightarrow プロセッサ
パイアス値16倍精度16排他的論理和38バイト4ハイパーキューブ142パイプライン処理付57バ グ129, 163パケット141	符号化48符号拡張13符号付き数8符号と絶対値法8符号なし数5符号ビット10布線論理制御付54プッシュ109	マイクロアーキテクチャ 88 マイクロコンピュータ 165 マイクロプログラム制御 付55 マイクロプロセッサユニット →プロセッサ マクロ命令 92 マスタスレーブ型フリップフロップ
パイアス値16倍精度16排他的論理和38パイト4ハイパーキューブ142パイプライン処理付57バ グ129, 163パケット141パケット交換方式141	符号化 48 符号拡張 13 符号付き数 8 符号と絶対値法 8 符号なし数 5 符号ビット 10 布線論理制御 付54 プッシュ 109 物理アドレス →実アドレス	マイクロアーキテクチャ 88 マイクロコンピュータ 165 マイクロプログラム制御 付55 マイクロプロセッサユニット →プロセッサ マクロ命令 92 マスタスレープ型フリップフロップ 69 ます目(カルノー図) 41
パイアス値16倍精度16排他的論理和38パイト4ハイパーキューブ142パイプライン処理付57バ グ129, 163パケット141パケット交換方式141バ ス付11	符号化 48 符号拡張 13 符号付き数 8 符号と絶対値法 8 符号なし数 5 符号ビット 10 布線論理制御 付54 プッシュ 109 物理アドレス →実アドレス 物理層 144	マイクロアーキテクチャ 88 マイクロコンピュータ 165 マイクロプログラム制御 付55 マイクロプロセッサユニット →プロセッサ マクロ命令 92 マスタスレーブ型フリップフロップ 69 ます目(カルノー図) 41 マルチコア 付66
パイアス値 16 倍精度 16 排他的論理和 38 パイト 4 ハイパーキューブ 142 パイプライン処理 付57 バ グ 129, 163 パケット 141 パケット交換方式 141 バ ス 付11 バス (トポロジー) 141	符号化 48 符号拡張 13 符号付き数 8 符号と絶対値法 8 符号なし数 5 符号ビット 10 布線論理制御 付54 プッシュ 109 物理アドレス →実アドレス 物理層 144 浮動小数点数 15	マイクロアーキテクチャ 88 マイクロコンピュータ 165 マイクロプログラム制御 付55 マイクロプロセッサユニット →プロセッサ マクロ命令 92 マスタスレーブ型フリップフロップ 69 ます目(カルノー図) 41 マルチコア 付66
バイアス値 16 倍精度 16 排他的論理和 38 バイト 4 ハイパーキューブ 142 パイプライン処理 付57 バ グ 129, 163 パケット 141 パケット交換方式 141 バ ス 付11 バス (トポロジー) 141 バスアダプタ →バスブリッジ	符号化 48 符号拡張 13 符号付き数 8 符号と絶対値法 8 符号とし数 5 符号ビット 10 布線論理制御 付54 プッシュ 109 物理アドレス →実アドレス 物理層 144 浮動小数点数 15 負の方向への丸め 21	マイクロアーキテクチャ 88 マイクロコンピュータ 165 マイクロプログラム制御 付55 マイクロプロセッサユニット →プロセッサ マクロ命令 92 マスタスレーブ型フリップフロップ 69 ます目(カルノー図) 41 マルチコア 付66 マルチスレッド処理 付25,付66
バイアス値 16 倍精度 16 排他的論理和 38 バイト 4 ハイパーキューブ 142 パイプライン処理 付57 バ グ 129, 163 パケット 141 パケット交換方式 141 バス (トポロジー) 141 バスアダプタ →バスブリッジ バスブリッジ 付14	符号化 48 符号拡張 13 符号付き数 8 符号と絶対値法 8 符号と地対値法 7 符号ビット 10 布線論理制御 付54 プッシュ 109 物理アドレス →実アドレス 物理層 144 浮動小数点数 15 負の方向への丸め 21 不要コードの削除 138	マイクロアーキテクチャ 88 マイクロコンピュータ 165 マイクロプログラム制御 付55 マイクロプロセッサユニット →プロセッサ マクロ命令 92 マスタスレーブ型フリップフロップ 69 ます目(カルノー図) 41 マルチコア 付66 マルチスレッド処理 付25,付66 マルチタスク
バイアス値 16 倍精度 16 排他的論理和 38 バイト 4 ハイパーキューブ 142 パイプライン処理 付57 バ グ 129, 163 パケット 141 パケット交換方式 141 バ ス 付11 バス (トポロジー) 141 バスアダプタ →バスブリッジ バスブリッジ 付14 バッカス記法 133	符号化 48 符号拡張 13 符号付き数 8 符号と絶対値法 8 符号とし数 5 符号ビット 10 布線論理制御 付54 プッシュ 109 物理アドレス →実アドレス 物理層 144 浮動小数点数 15 負の方向への丸め 21 不要コードの削除 138 プライオリティエンコーダ 49	マイクロアーキテクチャ 88 マイクロコンピュータ 165 マイクロプログラム制御 付55 マイクロプロセッサユニット →プロセッサ マクロ命令 92 マスタスレーブ型フリップフロップ 69 ます目(カルノー図) 41 マルチコア 付66 マルチスレッド処理 付25,付66 マルチタスク →マルチプログラミング
バイアス値 16 倍精度 16 排他的論理和 38 バイト 4 ハイパーキューブ 142 パイプライン処理 付57 バ グ 129, 163 パケット 141 パケット交換方式 141 バ ス 付11 バス (トポロジー) 141 バスアダプタ →バスブリッジ バスブリッジ 付14 バッカス記法 133 バックエンド 16	符号化 48 符号拡張 13 符号付き数 8 符号と絶対値法 8 符号なし数 5 符号ビット 10 布線論理制御 付54 プッシュ 109 物理アドレス →実アドレス 物理層 144 浮動小数点数 15 負の方向への丸め 21 不要コードの削除 138 プライオリティエンコーダ 49 フラッシュメモリ 122 プリチャージ 120 フリップフロップ 65	マイクロアーキテクチャ 88 マイクロコンピュータ 165 マイクロプログラム制御 付55 マイクロプロセッサユニット →プロセッサ マクロ命令 92 マスタスレーブ型フリップフロップ 69 ます目(カルノー図) 41 マルチコア 付66 マルチスレッド処理 付25,付66 マルチタスク →マルチプログラミング マルチプレクサ 49
バイアス値 16 倍精度 16 排他的論理和 38 バイト 4 ハイパーキューブ 142 パイプライン処理 付57 バ グ 129, 163 パケット 141 パケット交換方式 141 バス (トポロジー) 141 バス (トポロジー) 141 バスアダプタ →バスブリッジ バスブリッジ 付14 バッカス記法 133 バックエンド 130 パラメトロン 167	符号化 48 符号拡張 13 符号付き数 8 符号と絶対値法 8 符号なし数 5 符号ビット 10 布線論理制御 付54 プッシュ 109 物理アドレス →実アドレス 物理層 144 浮動小数点数 15 負の方向への丸め 21 不要コードの削除 138 プライオリティエンコーダ 49 フラッシュメモリ 122 プリチャージ 120	マイクロアーキテクチャ 88 マイクロコンピュータ 165 マイクロプログラム制御 付55 マイクロプロセッサユニット →プロセッサ マクロ命令 92 マスタスレーブ型フリップフロップ 69 ます目(カルノー図) 41 マルチコア 付66 マルチスレッド処理 付25,付66 マルチタスク →マルチプログラミング マルチプログラミング 付23
バイアス値 16 倍精度 16 排他的論理和 38 バイト 4 ハイパーキューブ 142 パイプライン処理 付57 バ グ 129, 163 パケット 141 パケット交換方式 141 バス (トポロジー) 141 バス (トポロジー) 141 バスアダプタ →バスブリッジ バスブリッジ 付14 バッカス記法 133 パックエンド 130 パラメトロン 167 バレルシフタ 51 半加算器 53 半導体チップ 38	符号化 48 符号拡張 13 符号付き数 8 符号と絶対値法 8 符号なし数 5 符号ビット 10 布線論理制御 付54 プッシュ 109 物理アドレス →実アドレス 物理層 144 浮動小数点数 15 負の方向への丸め 21 不要コードの削除 138 プライオリティエンコーダ 49 フラッシュメモリ 122 プリチャージ 120 フリップコロッサ 130 フルアソシアティブ 付5	マイクロアーキテクチャ 88 マイクロコンピュータ 165 マイクロプログラム制御 付55 マイクロプロセッサユニット →プロセッサ マクロ命令 92 マスタスレーブ型フリップフロップ 69 ます目(カルノー図) 41 マルチコア 付66 マルチスレッド処理 付25,付66 マルチタスク →マルチプログラミング マルチプログラミング マルチプログラミング マルチプログラミング マルチプログラミング マルチプログラミング マルチプロセス
バイアス値 16 倍精度 16 排他的論理和 38 バイト 4 ハイパーキューブ 142 パイプライン処理 付57 バ グ 129, 163 パケット 141 パケット交換方式 141 バス (トポロジー) 141 バス (トポロジー) 141 バスアダプタ →バスブリッジ バスブリッジ 付14 バッカス記法 133 バックエンド 130 パラメトロン 167 バレルシフタ 51 半加算器 53	符号化 48 符号拡張 13 符号付き数 8 符号と絶対値法 8 符号なし数 5 符号ビット 10 布線論理制御 付54 プッシュ 109 物理アドレス →実アドレス 物理層 144 浮動小数点数 15 負の方向への丸め 21 不要コードの削除 138 プライオリティエンコーダ 49 フラッシュメモリ 122 プリチャージ 120 フリップロセッサ 130 フルアソシアティブ 付5 プレゼンテーション層 143	マイクロアーキテクチャ 88 マイクロコンピュータ 165 マイクロプログラム制御 付55 マイクロプロセッサユニット →プロセッサ マクロ命令 92 マスタスレーブ型フリップフロップ 69 ます目(カルノー図) 41 マルチコア 付66 マルチスレッド処理 付25,付66 マルチタスク →マルチプログラミング マルチプログラミング マルチプログラミング マルチプログラミング マルチプログラミング マルチプログラミング
バイアス値 16 倍精度 16 排他的論理和 38 バイト 4 ハイパーキューブ 142 パイプライン処理 付57 バ グ 129, 163 パケット 141 パケット交換方式 141 バス (トポロジー) 141 バス (トポロジー) 141 バスアダプタ →バスブリッジ バスブリッジ 付14 バッカス記法 133 パックエンド 130 パラメトロン 167 バレルシフタ 51 半導体チップ ラチップ 万 能 →テ 備 汎用機 →メインフレーム	符号化 48 符号拡張 13 符号付き数 8 符号と絶対値法 8 符号とし数 5 符号にット 10 布線論理制御 付54 プッシュ 109 物理アドレス →実アドレス 物理層 144 浮動小数点数 15 負の方向への丸め 21 不要コードの削除 138 プライオリティエンコーダ 49 フラッチャージ 120 フリッチャージ 120 フリップロセッサ 130 フルアソシアティブ 付5 プレゼンテーション層 143 プレディケート 付62	マイクロアーキテクチャ 88 マイクロコンピュータ 165 マイクロプログラム制御 付55 マイクロプロセッサユニット →プロセッサ マクロ命令 92 マスタスレーブ型フリップフロップ 69 ます目(カルノー図) 41 マルチコア 付66 マルチスレッド処理 付25,付66 マルチタスク →マルチプログラミング マルチプログラミング マルチプログラミング マルチプログラミング マルチプログラミング マルチプロセス →マルチプログラミング マルチプロセス ・マルチプログラミング マルチプロセス
バイアス値 16 倍精度 16 排他的論理和 38 バイト 4 ハイパーキューブ 142 パイプライン処理 付57 バ グ 129, 163 パケット 141 パケット交換方式 141 バス (トポロジー) 141 バス (トポロジー) 141 バスアダプタ →バスブリッジ バスブリッジ 付14 バッカス記法 133 パックエンド 130 パラメトロン 167 バレルシフタ 51 半期算器 53 半導体チップ →完 備	符号化 48 符号拡張 13 符号付き数 8 符号と絶対値法 8 符号と地列値法 7 行号といり 10 布線論理制御 付54 プツ理アドレス →実アドレス 物理アドレス →実アドレス 物理層 144 浮動小方向への別除 15 負のアニードの別除 138 プライオリティエンコーダ 49 フリップロッサ 120 プリップロッサ 120 プリップロッサ 120 プリップロッサ 130 フルアデーション 65 プリップロッサ 7 プレディケート 付62 プロードキャスト 141	マイクロアーキテクチャ 88 マイクロコンピュータ 165 マイクロプログラム制御 付55 マイクロプロセッサユニット →プロセッサ マクロ命令 92 マスタスレーブ型フリップフロップ 69 ます目(カルノー図) 41 マルチコア 付66 マルチスレッド処理 付25,付66 マルチヌスク →マルチプログラミング マルチプログラミング マルチプロセス →マルチプログラミング マルチプロセス →マルチプログラミング マルチプロセス カーマルチプログラミング マルチプロセッサ 付66 丸 め 20 丸め方式 20
バイアス値 16 倍特度 16 排他的論理和 38 バイト 4 ハイパーキューブ 142 パイプライン処理 付57 バ グ 129, 163 パケット 141 パケット交換方式 141 バス (トポロジー) 141 バス (トポロジー) 141 バスアダプタ →バスブリッジ バスブリッジ 付14 バッカス記法 133 バックエンド 130 パラメトロン 167 バレルシフタ 51 半期 53 半導体チップ →チップ 万 能 →テ 備 汎用機 →メインフレーム 汎用 レジスタ	符号化 48 符号状張 13 符号付き数 8 符号と絶対値法 8 符号と他 5 符号に 2 109 布線 2 109 物理 2 109 物理 2 109 物理 2 144 浮動 15 負の 2 1 不要 3 144 浮動 15 負の 2 1 不要 3 144 アラードの 3 138 プラッチャージ 120 フリップロッサ 130 フリップロッサ 130 フリップロッサ 130 フリップロッサ 130 フリップロッサ 130 フリップロードキャスト 141 プログラム 84	マイクロアーキテクチャ 88 マイクロコンピュータ 165 マイクロプログラム制御 付55 マイクロプロセッサユニット →プロセッサ マクロ命令 92 マスタスレーブ型フリップフロップ 69 ます目(カルノー図) 41 マルチコア 付66 マルチスレッド処理 付25,付66 マルチスク →マルチプログラミング マルチプログラミング マルチプロセス →マルチプログラミング マルチプロセス →マルチプログラミング マルチプロセス カーマルチプログラミング マルチプロセス カーマルチプログラミング マルチプロセス カーマルチプログラミング マルチプロセス カーマルチプログラミング マルチプロセス カーマルチプログラミング マルチプロセス カーマルチプログラミング マルチプロカラミング
バイアス値 16 倍精度 16 排他的論理和 38 バイト 4 ハイパーキューブ 142 パイプライン処理 付57 バ グ 129, 163 パケット 141 パケット交換方式 141 バス (トポロジー) 141 バス (トポロジー) 141 バスアダプタ →バスブリッジ バスブリッジ 付14 バッカス記法 133 バックエンド 130 パラメトロン 167 パレルシフタ 51 半導体チップ ラ第 3 半導体チップ ラ完 備 汎用機 →メインフレーム 汎用レジスタ 87	符号化 48 符号拡張 13 符号付き数 8 符号と絶対値法 8 符号と絶対値法 5 符号は 109 布線シュ 109 物理アドレス →実アドレス 物理層 144 浮動へのの削除 15 負ののコードのティエンコーダ 49 フライオリュメジ 122 プリップロッサ 130 プリップロッサ 130 プリップロッサ 130 プリップロッサ 130 プリップロッサ 130 プリップロッサ 130 プリップロッサ 130 プリルゼジテート 143 プレディケート 141 プログラム 84 プログラムカウンタ 87	マイクロアーキテクチャ 88 マイクロコンピュータ 165 マイクロプログラム制御 付55 マイクロプロセッサユニット →プロセッサ マクロ命令 92 マスタスレープ型フリップフロップ 69 ます目(カルノー図) 41 マルチコア 付66 マルチスレッド処理 付25,付66 マルチヌスク →マルチプログラミング マルチプログラミング マルチプロセス →マルチプログラミング マルチプロセス →マルチプログラミング マルチプロセス カーマルチプログラミング マルチプロセッサ 付66 丸 め 20 丸め方式 20 【み】 ミーリー型機械 58
バイアス値 16 倍特度 16 排他的論理和 38 バイト 4 ハイパーキューブ 142 パイプライン処理 付57 バ グ 129, 163 パケット 141 パケット交換方式 141 バス (トポロジー) 141 バス (トポロジー) 141 バスアダプタ →バスブリッジ バスブリッジ 付14 バッカス記法 133 バックエンド 130 パラメトロン 167 バレルシフタ 51 半期 53 半導体チップ →チップ 万 能 →テ 備 汎用機 →メインフレーム 汎用 レジスタ	符号化 48 符号状張 13 符号付き数 8 符号と絶対値法 8 符号と他 5 符号に 2 109 布線 2 109 物理 2 109 物理 2 109 物理 2 144 浮動 15 負の 2 1 不要 3 144 浮動 15 負の 2 1 不要 3 144 アラードの 3 138 プラッチャージ 120 フリップロッサ 130 フリップロッサ 130 フリップロッサ 130 フリップロッサ 130 フリップロッサ 130 フリップロードキャスト 141 プログラム 84	マイクロアーキテクチャ 88 マイクロコンピュータ 165 マイクロプログラム制御 付55 マイクロプロセッサユニット →プロセッサ マクロ命令 92 マスタスレーブ型フリップフロップ 69 ます目(カルノー図) 41 マルチコア 付66 マルチスレッド処理 付25,付66 マルチスク →マルチプログラミング マルチプログラミング マルチプロセス →マルチプログラミング マルチプロセス →マルチプログラミング マルチプロセス カーマルチプログラミング マルチプロセス カーマルチプログラミング マルチプロセス カーマルチプログラミング マルチプロセス カーマルチプログラミング マルチプロセス カーマルチプログラミング マルチプロセス カーマルチプログラミング マルチプロカラミング

ミス	126	[/ b]		[h]	
ミスペナルティ時間	126				
ミニコンピュータ		木時間	付18		付13, 付 24
【む】			→状態機械		付58
		ーザモード	付14		80, 86, 付31
ムーア型機械	58	【よ】		レジスタファイル	付34
	付 <i>51</i>		100	レスポンスタイム	付18
無条件分岐 →ジャ	.	つ組	136	列アドレスデコーダ	118
【め】	7%	予約語 131 列信号線		118	
命令	85	[6]		レベルセンシティブフ! フロップ	ラッフ 67
命令セット		イトスルー	付8	7497	07
命令セットアーキテクチャ	I	ィ・スル イトバック	付8	【ろ】	
	I	・・ハッッ イブラリ関数	付22	ローテート	→循環シフト
命令デコード	I	ランドロビン フンドロビン	付24	ロード	98
命令フェッチ		ッチ	65	ログ	付 <i>19</i>
命令フォーマット		ベル	103		想アドレス
命令ポインタ				論理回路	34
→プログラムカウ	ンタ	【じ】		論理関数	25
命令レベル並列性	付62 リ・	- ク電流	付65	論理積	23
メインフレーム	165 リソ	ソース	付18	論理値	23
メタ言語	133 リ	ップルカウンタ	81	論理否定	→否 定
メニーコア	付66 リ	トルエンディアン	86	論理変数	25
メモリ	84 リ:	フレッシュ	121	論理和	23
メモリ管理ユニット	127 リ:	ンカ	130	[to]	
メモリ空間	127 リ:	ング	141	【わ】	
メモリマップ	112	【る】		ワークステーション	165
メモリマップ I/O	付10			ワード	5
【も】		-タ	148		→行選択線
	-	ーティングテーブル	148	割込み	付 12 , 付24
	I	0			
文字コード	I	ープ不変コードの移動	138	割込みハンドラ	付12
文字コード	I	ープ不変コードの移動	138	割込みハンドラ 割込みベクタテーブル	
文字コード 	I	- プ不変コードの移動	138		
文字コード 	I	ープ不変コードの移動	138	割込みベクタテーブル	付12
文字コード 	I	ープ不変コードの移動 	138		
[A]	3 Jレ-	[D]		割込みベクタテーブル	付12
	3 ルー ——◇— 付35 D :	【D】 フリップフロップ	71, 付31	割込みベクタテーブル > FLOPS 【 G 】	付12 ———— 付50
$egin{array}{cccc} & & & & & & & & & & & & & & & & & $	3 ルー → ◇ — 付35 D : 理積 DA	【D】 フリップフロップ ☆T →動的アドレス	71 , 付31 ス変換機構	割込みベクタテーブル >	付12 付50 付65
$egin{array}{cccc} & & & & & & & & & & & & & & & & & $	3 ルー 付35 D: 理積 DA 付22 DM	【D】 フリップフロップ AT →動的アドレス	71, 付31 X変換機構 付13	割込みベクタテーブル FLOPS 【G】 GPGPU GPU	付12 付50 付65 付65
【 A 】 ALU 86, AND →論 API ARP	3 ル・ 付35 D: 理積 DA 付22 DM 149 DN	【 D】 フリップフロップ AT →動的アドレス MA IS	71 , 付31 72 換機構 付13 152	割込みベクタテーブル >	付12 付50 付65 付65
$egin{array}{cccc} & & & & & & & & & & & & & & & & & $	3 ル・ 付35 D: 理積 DA 付22 DM 149 DN 142 DN	【 D】 フリップフロップ AT →動的アドレス MA IS	71, 付31 X変換機構 付13	割込みベクタテーブル FLOPS 【 G 】 GPGPU GPU GUI →グラフィカルコ フェース	付12 付50 付65 付65
(A) ALU86,AND \rightarrow âmAPIARPARPANETASCII	3 ル・ 付35 D: 理積 DA 付22 DM 149 DM 142 DM 2 DC	【D】 フリップフロップ AT →動的アドレス MA NS NS サーバ →ネ-	71, 付31 ス変換機構 付13 152 -ムサーバ	割込みベクタテーブル FLOPS 【 G 】 GPGPU GPU GUI →グラフィカルコ	付12 付50 付65 付65
【A】 ALU 86, AND \rightarrow 論 API ARP ARPANET	3 ル・ 付35 D: 理積 DA 付22 DM 149 DM 142 DM 2 DC	【 D】 フリップフロップ AT →動的アドレス MA IS IS サーバ →ネー OS 攻撃 RAM	71, 付31 ス変換機構 付13 152 -ムサーバ 157	割込みベクタテーブル FLOPS 【 G 】 GPGPU GPU GUI →グラフィカルコ フェース	付12 付50 付65 付65
(A) ALU86,AND \rightarrow âmAPIARPARPANETASCII	3 ル・ 付35 D: 理積 DA 付22 DM 149 DN 142 DN 2 DC	【 D】 フリップフロップ AT →動的アドレス AA NS US サーバ →ネー OS 攻撃	71, 付31 ス変換機構 付13 152 -ムサーバ 157	割込みベクタテーブル FLOPS 【 G 】 GPGPU GPU GUI →グラフィカルコ フェース 【 I 】	付12 付50 付65 付65 Lーザインタ
【A】 ALU 86, AND →論 API ARP ARPANET ASCII 【B】 BNF →パッカス	3 ル・ 付35 D: 理積 DA 付22 DM 149 DN 2 DC DF	【D】 フリップフロップ AT →動的アドレス MA US US サーバ →ネー OS 攻撃 RAM 【E】	71, 付31 ス変換機構 付13 152 -ムサーバ 157 117	割込みベクタテーブル FLOPS 【G】 GPGPU GPU GUI →グラフィカルコ フェース 【I】 IA-32 IEEE754 IP	付12 付50 付65 付65 1-ザインタ →x86 16 146
【A】 ALU 86, AND →論 API ARP ARPANET ASCII 【B】 BNF →パッカス 【C】	3 ル・ 付35 D: 理積 DA 付22 DM 149 DN 2 DC DF	【D】 フリップフロップ AT →動的アドレス MA IS IS サーバ →ネ- OS 攻撃 RAM 【E】	71, 付31 ス変換機構 付13 152 -ムサーバ 157 117	割込みベクタテーブル FLOPS 【G】 GPGPU GPU GUI →グラフィカルコ フェース 【I】 IA-32 IEEE754	付12 付50 付65 付65 上ーザインタ →x86 16
【A】 ALU 86, AND →論 API ARP ARPANET ASCII 【B】 BNF →バッカス 【C】 CISC	3 ル・ 付35 D: 理積 DA 付22 DM 149 DN 2 DC DF 記法 EP	【 D 】 フリップフロップ AT →動的アドレス AA AS AS AS AS AS AS AS AM (E) PROM thernet	71, 付31 ス変換機構 付13 152 -ムサーバ 157 117	割込みベクタテーブル FLOPS 【G】 GPGPU GPU GUI →グラフィカルコ フェース 【I】 IA-32 IEEE754 IP IP アドレス	付12 付50 付65 付65 1-ザインタ →x86 16 146
【A】 ALU 86, AND →論 API ARP ARPANET ASCII 【B】 BNF →パッカス 【C】 CISC CPI	3 ル・ 付35 D : 理積 DA 付22 DM 149 DN 2 DC DF 記法 EP Etl	【D】 フリップフロップ AT →動的アドレス MA SIS SIS サーバ →ネー OS 攻撃 RAM 【E】 PROM hernet	71, 付31 ス変換機構 付13 152 -ムサーバ 157 117	割込みベクタテーブル FLOPS 【G】 GPGPU GPU GUI →グラフィカルコフェース 【I】 IA-32 IEEE754 IP IP アドレス 【J】	付12 付50 付65 付65 セーザインタ →x86 16 146 146
【A】 ALU 86, AND →論 API ARP ARPANET ASCII 【B】 BNF →パッカス 【C】 CISC CPI CPU →プロセ	3 ル・ 付35 D : 理積 DA 付22 DM 149 DN 2 DC DF 記法 EP け54 付49 ッサ FC	【D】 フリップフロップ AT →動的アドレス AA NS NS サーバ →ネー OS 攻撃 RAM 【E】 PROM hernet 【F】	71, 付31 ス変換機構 付13 152 -ムサーバ 157 117	割込みベクタテーブル FLOPS 【G】 GPGPU GPU GUI →グラフィカルコフェース 【I】 IA-32 IEEE754 IP IP アドレス	付12 付50 付65 付65 1-ザインタ →x86 16 146
【A】 ALU 86, AND →論 API ARP ARPANET ASCII 【B】 BNF →バッカス 【C】 CISC CPI CPU CPU 時間 →プロセッサ	3 ル・ 付35 D : 理積 DA 付22 DM 149 DN 2 DC DF 記法 EP け54 付49 ッサ FC	【D】 フリップフロップ AT →動的アドレス AA NS NS サーバ →ネー OS 攻撃 RAM 【E】 PROM hernet 【F】	71, 付31 ス変換機構 付13 152 -ムサーバ 157 117	割込みベクタテーブル FLOPS 【G】 GPGPU GPU GUI →グラフィカルコフェース 【I】 IA-32 IEEE754 IP IP アドレス 【J】	付12 付50 付65 付65 セーザインタ →x86 16 146 146

[L]		\rightarrow パーソナルコンピュータ PROM 122		[V]	
LAN	142			VLIW	付63
LIFO	109		(R)		
LRU	付8, 付27	RAM	117	[W]	
LSB	→最下位ビット	ready 状態	→実行可能状態	wait 状態	→待機状態
[M]		RISC	付54	WAN	142
		ROM	122		. T
MAC アドレス	146 , 付68	run 状態	→実行状態		X]
MIL 記号	34		ra l	XOR	→排他的論理和
MIMD	付63		(S)	x86	88
MIPS	89	SDRAM	121	₹	⇔ ₹
MIPS (単位)	付50	SIMD	付63	₹	字】
$\mathrm{MMU} \qquad \rightarrow$	メモリ管理ユニット	SR フリップフ	ロップ (エッジトリ	0 拡張	13
MPU	→プロセッサ	ガ型クロック	7人力付き) 71	0 方向への丸め	20
MSB	→最上位ビット	SR フリップフ	ロップ (クロック入	1 次記憶装置	→主記憶装置
mux	→マルチプレクサ	力なし)	65	1の補数	11
[N]		SR フリップフロップ (レベルセン		2 次記憶装置	→補助記憶装置
		シティブクロ]ック入力付き) <i>67</i>	力付き) $67 \mid 2$ 次元トーラス	
NaN	18	SRAM	117	2 次元メッシュ	141
NAND	→否定論理積		[T]	2 進エンコーダ	48
NOR	→否定論理和		V T 1	2 進数	3
NOT	→否 定		コップ 71		48 , 付33
	(O)	TCP	150	11100-41	9
		TCP/IP	142	= 110224 54:70	9
OR	→論理和		(U)	2 の補数変換	11
	ーティングシステム			3番地コード	136
OSI 基本参照モ	デル 143	_		8 進数	6
1	(P)	ulp		10 進数	3
•		URL	152	16 進数	6
$PC \longrightarrow \overline{}$	プログラムカウンタ,			l	

---- 著者略歴 ----

鏡 慎吾(かがみ しんご)

- 1998 年 東京大学工学部計数工学科卒業
- 2000 年 東京大学大学院工学系研究科修士課程修了 (計数工学専攻)
- 2003 年 東京大学大学院工学系研究科博士課程修了 (計数工学専攻),博士(工学)
- 2003 年 科学技術振興事業団研究員
- 2003 年 東京大学助手
- 2005 年 東北大学講師
- 2007年 東北大学准教授

現在に至る

滝沢 寛之(たきざわ ひろゆき)

- 1995 年 東北大学工学部機械知能工学科卒業
- 1997 年 東北大学大学院情報科学研究科博士課程前 期2年の課程修了(情報基礎科学専攻)
- 1999 年 東北大学大学院情報科学研究科博士課程後 期3年の課程修了(情報基礎科学専攻), 博士(情報科学)
- 1999 年 新潟大学助手
- 2003 年 東北大学助手
- 2004 年 東北大学講師
- 2009 年 東北大学准教授 現在に至る

小林 広明(こばやし ひろあき)

- 1984 年 東北大学工学部通信工学科卒業
- 1986 年 東北大学大学院工学研究科博士課程前期 2 年の課程修了(情報工学専攻)
- 1988 年 東北大学大学院工学研究科博士課程後期 3 年の課程修了(情報工学専攻),工学博士
- 1988 年 東北大学助手
- 1991年 東北大学講師
- 1993 年 東北大学助教授
- 2001 年 東北大学教授
- 2008年 東北大学サイバーサイエンスセンター長
- 2012 年 東北大学教育研究評議会委員
- 2014 年 日本学術会議連携会員

現在に至る

この間,1995,1997,2000~2001年スタンフォード大学コンピュータシステム研究

所客員准教授

佐野 健太郎(さの けんたろう)

- 1997 年 東北大学大学院情報科学研究科博士課程前 期2年の課程修了(情報基礎科学専攻)
- 2000 年 東北大学大学院情報科学研究科博士課程後 期3年の課程修了(情報基礎科学専攻), 博士(情報科学)
- 2000年 東北大学助手
- 2005 年 東北大学助教授
- 2007年 東北大学准教授

現在に至る

岡谷 貴之(おかたに たかゆき)

- 1994 年 東京大学工学部計数工学科卒業
- 1996 年 東京大学大学院工学系研究科修士課程修了 (計数工学専攻)
- 1999 年 東京大学大学院工学系研究科博士課程修了 (計数工学専攻),博士(工学)
- 1999 年 東北大学助手
- 2001 年 東北大学講師
- 2003 年 東北大学助教授
- 2007年 東北大学准教授
- 2013 年 東北大学教授

現在に至る

コンピュータ工学入門

Fundamentals of Computer Engineering

© Kagami, Sano, Takizawa, Okatani, Kobayashi 2015

2015 年 3 月 31 日 初版第 1 刷発行

検印省略

慎 吾 鏡 著 佐 健太郎 滝 沢 寛 之 之 出 谷 貴 明 小 林 広 発 行 者 株式会社 コロナ社 牛来真也 代表者 三美印刷株式会社 印刷所

112-0011 東京都文京区千石 4-46-10

発行所 株式会社 コ ロ ナ 社 CORONA PUBLISHING CO., LTD.

Tokyo Japan

振替 00140-8-14844・電話(03)3941-3131(代)

ホームペー<mark>ジ http://www.coronasha.co.jp</mark>

ISBN 978-4-339-02492-0 (新宅)(製本:グリーン)

Printed in Japan



本書のコピー,スキャン,デジタル化等の 無断複製・転載は著作権法上での例外を除 き禁じられております。購入者以外の第三 者による本書の電子データ化及び電子書籍 化は,いかなる場合も認めておりません。

落丁・乱丁本はお取替えいたします