まえがき

LSI の製造技術である微細加工技術は原子数を数えられるほどに微細化してきている．それに伴い集積度の改善はもとより，速度性能が向上し，消費電力性能も向上している．一方，FET 微細化によるリーク電流増加や素子パラメータのばらつき増大などで，LSI 設計は，「設計規模の壁」と「副作用の壁」の両方に直面している．しかし，微細化による集積度向上による機能と性能の向上が得られる限り，LSI 技術は発展し続けることは間違いなかろう．LSI では同時に「コストの壁」がいわれる場合もあるが，代替技術がない限り技術の進歩は止まらないであろう．トランジスタが生まれて 65 年，LSI が生まれて 40～50 年経過しても，依然として LSI は魅力的かつチャレンジングな領域である．その中に含まれる技術要素を理解することは工学全体を理解するにも匹敵する「集積技術」分野である．

本書は，LSI 設計に入門するための必要な技術を述べたものである．

1 章では，LSI の基本素子である MOSFET の動作モデルについて述べている．この章は既に半導体デバイスの特性について予備知識を有する場合は読み飛ばしてもかまわない．

2 章では，CMOS インバータ回路を題材に静特性と動特性について述べている．インバータは論理 LSI で最も基本的回路であるが，LSI の持つ重要な特性を理解でき，重要な回路である．

3 章では，LSI の動作速度を見積もるためのエルモアモデルとその応用について述べている．LSI の動作速度を決定する要因は FET 特性から配線特性にシフトしてきているが，LSI 設計の将来像を見通すためにも重要な見積り手法である．

4 章では，5 章で説明する LSI の設計規則の背景となる LSI の製造工程について，概要を述べている．既に LSI の製造工程について予備知識を有する場合は読み飛ばしてもかまわない．

5 章では，LSI の製造側と設計側とのインタフェースである設計規則，素子の電気的特性や設計者が留意すべきいくつかの制約事項についても述べている．

6 章では，論理 LSI で用いられる主要な基本ゲート回路の様式について，その設計手法とともに述べている．

7 章では，論理 LSI で用いられるレジスタや大規模記憶回路の様式について述べている．

ここまでの章で，LSI 設計で用いられる基本的回路要素とその特性についての知識が得られるはずである．

8 章では，情報処理用 LSI で用いられる基本的機能モジュールについて，そのハードウェ

ア量と処理時間のトレードオフの観点でまとめて述べている．コンピュータのハードウェア工学への橋渡しの章としている．

9 章では，LSI を設計する際に用いられる設計手法について述べている．フルカスタム設計，セミカスタム設計，セルベース設計，モジュールコンパイラの概念を説明し，併せて現在の LSI 設計で用いられる検証手法，自動合成手法について述べている．実際にチップ設計を行う場合にはその設計環境で提供されるツールの利用法を習得する必要があるが，そのための「道しるべ」となることを意図している．

LSI 設計は間口の広さとともにたいへん奥の深い技術であり，それをマスターすれば電子工学の大半を理解したことにもなる．本書が LSI 設計へのよき道案内となること期待している．

2015 年 1 月

浅　田　邦　博

目　　次

1. *MOSFET*

1.1　MOS 構造 …… 2
1.2　MOSFET と動作のあらまし …… 3
1.3　MOSFET の電圧電流特性 …… 5
1.4　MOSFET の電圧電流特性の 2 次近似式 …… 10
1.5　垂直電界効果 …… 13
1.6　チャネル長変調効果 …… 13
1.7　サブスレショルド電流 …… 14
本章のまとめ …… 16

2. *CMOS インバータ*

2.1　CMOS インバータ回路 …… 18
2.2　CMOS インバータの論理しきい値 …… 19
2.3　CMOS インバータの遅延時間 …… 22
　2.3.1　立上り時間 τ_r，立下り時間 τ_f …… 24
　2.3.2　立上り時間・立下り時間の目安 …… 25
　2.3.3　インバータ遅延 τ_d …… 25
2.4　nFET・pFET の対称性 …… 26
2.5　CMOS インバータ型ゲートの遅延時間の目安 …… 27
2.6　インバータによる大容量負荷の駆動 …… 28
2.7　CMOS インバータの消費電力 …… 29
本章のまとめ …… 30
理解度の確認 …… 31

3. 線形回路の遅延モデル

3.1 エルモアの遅延モデル …… 34
3.2 ルビンシュタインの方法 …… 35
3.3 インバータ型ゲートのマクロモデル …… 36
3.4 論理回路の遅延 …… 38
3.4.1 配線遅延と配線固有遅延 …… 40
3.4.2 等電位領域 …… 40
3.5 長い配線の駆動 …… 40
本章のまとめ …… 42
理解度の確認 …… 42

4. LSI 製造プロセス

4.1 シリコンウェーハの製造フロー …… 44
4.2 LSI 製造フローの概要 …… 45
4.3 リソグラフィー …… 47
4.4 CMOS の製造フロー …… 49
4.5 その他の CMOS 構造 …… 54
4.6 チップの組立て …… 56
4.7 LSI のテスト …… 60
本章のまとめ …… 61

5. 設 計 規 則

5.1 物理マスクと論理マスク …… 64
5.2 λ ル ー ル …… 66
5.2.1 同一マスク内図形の最小寸法・最小間隔 …… 67
5.2.2 ウェルと拡散領域の最小重なり・最小間隔 …… 68
5.2.3 FET に関する設計規則 …… 69
5.2.4 コンタクト・スルーホールに関する設計規則 …… 70
5.3 基板コンタクト …… 72

5.4　ラッチアップ …… 74
5.5　電気的パラメータ …… 75
5.5.1　FET の電気的パラメータ …… 76
5.5.2　抵抗パラメータ …… 76
5.5.3　容量パラメータ …… 78
5.6　エレクトロマイグレーション …… 80
5.7　入出力回路 …… 81
本章のまとめ …… 83
理解度の確認 …… 84

6.　CMOS の基本ゲート回路

6.1　論理関数の種類 …… 86
6.1.1　論理関数の単調性 …… 86
6.1.2　論理関数の対称性 …… 87
6.2　FET のスイッチモデル …… 89
6.3　NAND・NOR ゲート回路 …… 91
6.3.1　多入力 NAND・NOR ゲート回路 …… 92
6.3.2　多入力 NAND・NOR ゲート回路の時間非対称性 …… 94
6.4　インバータ型複合ゲート回路 …… 95
6.5　グラフによる双対回路の導出 …… 97
6.6　一般の複合ゲート …… 99
6.6.1　排他的論理和 …… 100
6.6.2　インバータ型セレクタ回路 …… 101
6.6.3　インバータ型フルアダー（全加算器） …… 103
6.7　パストランジスタ型ゲート回路 …… 104
6.7.1　パスゲート型セレクタ回路 …… 105
6.7.2　パスゲート型フルアダー（全加算器） …… 106
6.8　3 状態ゲート回路 …… 107
6.9　ダイナミック型ゲート回路 …… 109
6.9.1　ダイナミック型ゲート回路の入力遷移の制約 …… 111
6.9.2　ダイナミック型ゲート回路の電荷再配分問題 …… 111
6.9.3　ドミノ回路 …… 112
6.10　一般化 CMOS ゲート回路 …… 113

6.11 2線式論理ゲート …… 116
6.11.1 CVSL（カスコード電圧スイッチ論理） …… 116
6.11.2 BDD …… 118
6.11.3 CPL（相補的パストランジスタ論理） …… 119
本章のまとめ …… 120
理解度の確認 …… 122

7. 記 憶 回 路

7.1 記憶回路の基礎 …… 124
7.1.1 ダイナミック型記憶回路 …… 124
7.1.2 記憶保持の物理 …… 125
7.1.3 セットアップ時間，ホールド時間 …… 126
7.1.4 リフレッシュ動作 …… 127
7.1.5 スタティック型記憶回路 …… 128
7.1.6 メタステーブル状態 …… 129
7.2 フリップフロップ …… 130
7.2.1 SR フリップフロップ …… 130
7.2.2 レベルトリガ型フリップフロップ …… 131
7.2.3 エッジトリガ型フリップフロップ …… 132
7.3 大容量メモリ …… 133
7.4 ROM のメモリセル回路 …… 135
7.4.1 マスク ROM …… 135
7.4.2 PROM …… 136
7.4.3 EPROM …… 136
7.4.4 EEPROM …… 137
7.5 SRAM のメモリセル …… 138
7.6 DRAM のメモリセル …… 141
7.6.1 ダイナミック型メモリセルの進化 …… 141
7.6.2 DRAM メモリセルの動作 …… 142
7.7 不揮発性 RAM …… 144
7.8 CAM …… 145
7.9 PLA …… 147
本章のまとめ …… 149

理解度の確認 …… 150

8.　情報処理用LSIの基本要素

8.1　データパスとコントローラ …… 152
8.1.1　データパスへのリソースの割当て …… 153
8.1.2　コントロールステップの決定 …… 153
8.2　有限状態機械としてのコントローラ …… 153
8.3　並列加算器 …… 155
8.3.1　リプルキャリー加算器 …… 155
8.3.2　キャリー先見加算器 …… 156
8.3.3　キャリーセレクト加算器 …… 158
8.4　並列乗算器 …… 159
8.4.1　キャリーセーブ型加算器 …… 160
8.4.2　アレー型並列乗算器 …… 161
8.4.3　ツリー型並列乗算器 …… 161
8.4.4　ブースの部分積生成法 …… 161
8.5　シフト演算 …… 163
8.5.1　2入力セレクタによるバレルシフタ …… 164
8.5.2　クロスバ型バレルシフタ …… 165
8.6　レジスタ …… 166
8.7　バス方式 …… 167
8.8　カウンタ …… 170
8.8.1　2進カウンタ …… 170
8.8.2　シフトレジスタ型カウンタ …… 171
本章のまとめ …… 173
理解度の確認 …… 174

9.　LSI設計の様式

9.1　LSIの設計階層とカスタム設計 …… 176
9.2　階層設計と記述言語 …… 177

9.3 設計検証 …… 178
9.4 フロアプラン …… 179
9.5 セルベース設計様式 …… 180
9.5.1 標準セルライブラリの1次元レイアウト手法 …… 181
9.5.2 セルベース設計の配置配線様式 …… 184
9.6 タイル法による設計様式 …… 186
9.7 マスクパターンの検証 …… 188
9.7.1 幾何学的設計規則の検証 …… 188
9.7.2 電気的規則の検証 …… 189
9.7.3 マスクパターンからの回路抽出と LVS …… 189
9.7.4 マスクパターンからの回路抽出と検証 …… 189
9.8 LSI の製造後設計検証 …… 189
本章のまとめ …… 191
理解度の確認 …… 191

参考文献 …… 192
索引 …… 193

1 MOSFET

集積回路（integrated circuit，IC）は，トランジスタに代表される能動素子と抵抗，キャパシタなどの受動素子を小さな半導体チップ上に集積した電子回路である．トランジスタは，バイポーラ（bipolar junction transistor，BJT）トランジスタと電界効果（field effect transistor，FET）トランジスタに分類される．集積回路で用いられる FET には，金属–酸化物–半導体（metal oxide semiconductor，MOS）が多く用いられ，MOSFET と呼ばれる．現在のように究極的に微細化された素子では，BJT は超高周波や低雑音などを必要とする場合に用いられるが，大規模集積回路（large scale integration，LSI）では，その構造の簡単さと集積度の高さから MOSFET が多用される．本章では MOSFET の動作について説明する．

なお，本章を理解するには，電荷密度と電界強度の関係（電気磁気工学の知識）とともに，半導体の電気伝導に関わるキャリヤの生成と移動に関する初歩的知識（半導体物理）を必要とする．また，2 章以降では本章で導出する 2 次近似式を主として用いるので，本章を読み飛ばしても式の導出結果を前提に理解することができる．

1.1 MOS 構造

MOS 構造は，金属，酸化物（絶縁体），半導体を積層した構造である（**図 1.1** 参照）．

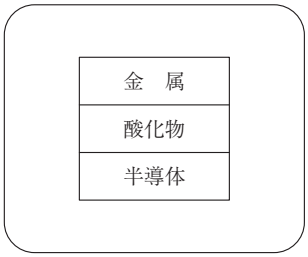

図 1.1　MOS構造

半導体は純粋な結晶（i 型：真性半導体）では高い絶縁性を持つが，n 型あるいは p 型不純物をドーピングすることで n 型半導体あるいは p 型半導体となり，金属と同様に電気伝導性を持つようになる．n 型半導体では電子が，p 型半導体ではホール（hole，正孔）が電気伝導性を与えるキャリヤとなる．金属と p 型半導体の間に電圧を掛け，金属を半導体に対し正にバイアスして，ある電圧以上にすると，半導体と酸化物の界面には電子が誘起され，p 型半導体のホールを相殺するようになる（**図 1.2** 参照）．この現象を **n 型反転**と呼び，そのときの電圧を**反転電圧**（**しきい電圧**）と呼ぶ．酸化物との界面に近い半導体の薄い層は，部分的に n 型半導体として振る舞う．図 1.1 の半導体が n 型の場合は，金属を半導体に対し負にバイアスすれば，同様の現象が生じ，n 型半導体は **p 型反転**する．MOSFET では，このような電界による半導体の反転現象を利用して電気伝導を制御する．なお，真性半導体であっても電界を加えることで n 型，あるいは p 型と等価な層が酸化物との界面に生成される†．

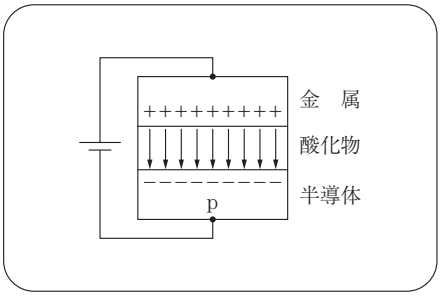

図 1.2　電 界 効 果

† 半導体は，絶縁体の一種であるが，電界や光，熱，応力などの外部刺激により，容易に電子やホールの状態が変化する材料である．

1.2 MOSFETと動作のあらまし

MOSFET は，電界によって電気伝導性を変化させ，電流を制御するスイッチとして機能する．LSI の基本構成素子であり，**図 1.3** にその典型的な構造を示す．基板は n 型あるいは p 型半導体であり，ソース，ドレーンは反対極性の半導体領域となっている．ゲートは，金属あるいは高濃度の不純物をドーピングした半導体，金属と半導体からなるシリサイドなどである．高濃度不純物をドーピングした半導体はキャリヤ濃度も高く，少々の電界では反転するまでには至らず，「金属的」性質となる．酸化物はここでは二酸化シリコン（SiO_2）を用いている．LSI 基板は通常シリコン結晶であり，酸化することで容易に生成できる．

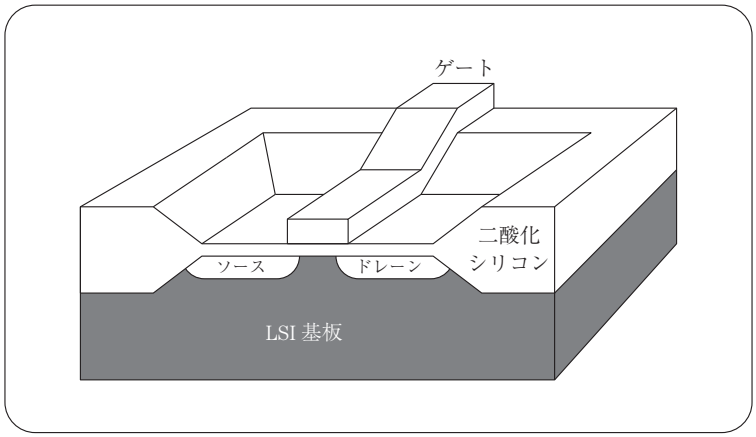

図 1.3　MOSFET の構造†

図 1.3 は，MOSFET をソースからゲートにかけて左右対称な面で切断した断面を示している．ここで，MOS 構造は（切断面の中央の上から）金属（ゲート金属），酸化物（ゲート酸化膜），LSI 基板の積層構造となっている．

基板が n 型（p 型）の場合，**pMOSFET**（**nMOSFET**）と呼ぶ．なお，ソースとドレーンは電力制御用などを除き，通常は対称構造である．この場合，ソースとドレーンの区別は回路動作状態で決定される．nMOSFET（pMOSFET）では，電位の高い方（低い方）を**ドレーン**と呼ぶ．

† MOSFET の領域は二酸化シリコンの厚さが薄くなっている領域である．外側の厚い酸化膜は**フィールド酸化膜**と呼ばれ，ゲート電極と基板との距離を大きくすることで電界強度を MOSFET のチャネル領域より弱くし，反転することを防止する．これにより MOSFET を他の部分から電気的に「分離」し，多数の素子を集積する LSI では重要な分離領域を形成する．

MOSFET の電流はソース–ドレーン間を流れ，ゲート電位の制御を受ける．**図 1.4** に示すように，nMOSFET では基板に対しゲートに徐々に正のゲート–ソース間電圧 V_{GS} を与えると，あるしきい電圧 V_T に到達するまでは p 型半導体基板中のホールが基板下側方へ追いやられ，ゲート直下（チャネル領域）にキャリヤの極めて少ない空乏層が形成される（図 (a)）．更に，電圧 V_{GS} を高くし V_T 付近になると，ゲート直下のチャネル領域の半導体界面が n 型反転し，ソース，ドレーン領域と同じ極性の半導体となるため，ソース–ドレーン間は電気伝導性を持つようになる．これを**チャネル生成**と呼ぶ．この時点でチャネル領域にはソース（ドレーン）から電子が流れ込み，チャネル電位はソース（ドレーン）の電位とほぼ等しくなる（図 (b)）．チャネル領域に誘起される電子の面密度は（$V_{GS} - V_T$）にほぼ比例して増加し，ソース–ドレーン間の電気伝導性もそれに応じて増加する．このように，MOSFET ではゲート–ソース間の電圧により，ソース–ドレーン間の電気伝導が制御されるスイッチとして機能する．なお，しきい電圧 V_T は，ゲート材料や基板の不純物密度，ソース–基板間のバイアス電圧などによって変化する．

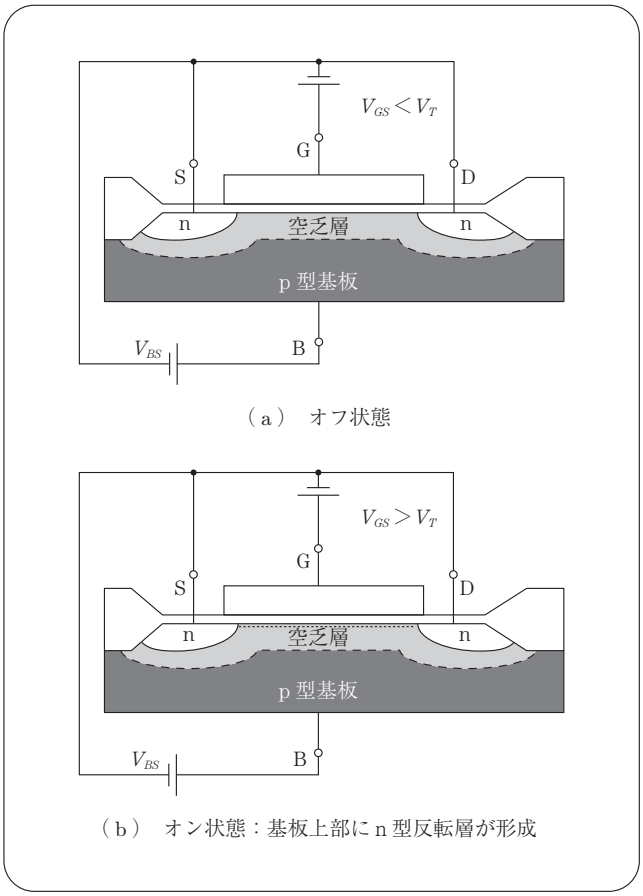

図 1.4 チャネル生成

1.3 MOSFETの電圧電流特性†

MOSFET の伝導特性の大まかな動作は前節で述べた．より詳細には，図 1.4 (b) に示した，オン状態でのゲート酸化膜直下（基板上部）に発生するキャリヤ密度を計算する必要がある．キャリヤ密度の計算は，厳密にはデバイスの 3 次元の電界分布を考慮する必要がある．これにはコンピュータによる数値計算に頼ることになるが，近似的には**図 1.5** に示すような 1 次元チャネルモデルで解析的に求めることができる．

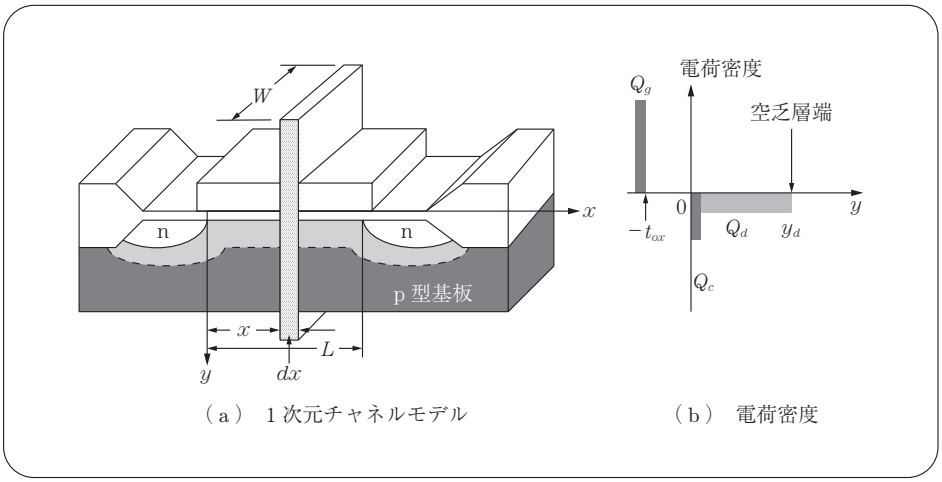

図 1.5　1 次元チャネルモデル（グラジュアルチャネルモデル）とその電荷密度．水平方向を x 軸，垂直方向（深さ方向）を y 軸とし，ゲート酸化膜厚を t_{ox} としている．

図 (a) は，MOSFET のソース端を基点としてドレーン端に至る水平軸方向でのチャネル中のある点 x で，MOSFET のゲート側から基板側への垂直軸方向の電荷密度を定義したものである．水平軸（x 軸）原点はソース端であり，垂直軸（y 軸）原点は基板とゲート酸化膜の界面である．図 (b) で，$Q_c(y)$ はチャネル電荷密度，$Q_d(y)$ は空乏層の電荷密度，$Q_g(y)$ はゲート電極の電荷密度である．$Q_g(y)$ と $Q_c(y)$ は y 軸上で広がりを持っているように描いているが，実際には極めて狭い領域に局在し，解析上はデルタ関数で近似する．また，基板の不純物濃度は一様分布と仮定している．空乏層はキャリヤが出払っており，活性化された

† 以下の節では nMOSFET を用いて説明している．pMOSFET については電圧，電流の極性を逆にし，電荷の極性も逆とすることで，そのまま適用できる．

不純物密度が $Q_d(y)$ に相当する．なお，y 軸は深さ方向を正としており，ゲート酸化膜厚を t_{ox} としている．解析では体積密度，$Q_c(y)$，$Q_d(y)$，$Q_g(y)$ を y について積分して得られる電荷量（面密度）をあらためてそれぞれ Q_c，Q_d，Q_g と表すことにする．

まず，電気的中性条件より

$$Q_g + Q_c + Q_d = 0 \tag{1.1}$$

Q_d は，基板電位 V_b とチャネル中の x 点の電位 $V(x)$ が分かれば，電磁気学のポアソンの式から求めることができる．つまり，p 型基板の不純物密度 N_a が負の固定電荷を与えることに注意すると，ポアソンの式は次式のようになる．

$$\varepsilon_{\mathrm{Si}} \frac{d^2\phi}{dy^2} = qN_a \tag{1.2}$$

ここに，$\varepsilon_{\mathrm{Si}}$ はシリコン（Si）基板の誘電率，q は電荷素量である．境界条件として空乏層端 y_d で中性領域に電位と，その傾きが連続的に接続しなければならないことから

$$\left.\frac{d\phi}{dy}\right|_{y=y_d} = 0, \qquad \phi(y_d) = V_b \tag{1.3}$$

更に，酸化膜との界面では $V(x)$ である．

$$\phi(0) = V(x) \tag{1.4}$$

となる．式 (1.1)〜(1.3) より空乏層の厚さ y_d が求められる．y_d に $(-qN_a)$ を乗ずることで空乏層電荷面密度 Q_d が求められる．

$$\begin{aligned} Q_d &= -y \times qN_a \\ &= -\sqrt{2\varepsilon_{\mathrm{Si}} qN_a (V(x) - V_b)} \end{aligned} \tag{1.5}$$

一方，ゲート電極の電荷面密度 Q_g はゲート電極と酸化膜，チャネルとから形成される単位面積当りの静電容量を C_o とするとき

$$Q_g = C_o(V_g - V(x)) \tag{1.6}$$

の関係がある．また，C_o はゲート酸化膜の誘電率と厚さをそれぞれ，ε_{ox}，t_{ox} とし，平行平板モデルを用いて次式で表される．

$$C_o = \frac{\varepsilon_{ox}}{t_{ox}} \tag{1.7}$$

以上の式 (1.1)，(1.5) 及び式 (1.6) より，チャネルのキャリヤの電荷面密度 Q_c についての次式が得られる．

$$\begin{aligned} Q_c &= -(Q_g + Q_d) \\ &= -C_o(V_g - V(x)) + \sqrt{2\varepsilon_{\mathrm{Si}} qN_a (V(x) - V_b)} \end{aligned} \tag{1.8}$$

これまでは図 1.4 に示すように，ソース–ドレーン間に電圧が掛かっていない場合を考えてきた．その場合にはチャネルの電位 $V(x)$ は x によらない定数となる．しかし，式 (1.1) から式 (1.8) はソース–ドレーン間に電圧が掛かっても，「x 方向の電界の変化が y 方向に比較して緩やかである」ときには近似的に成立する．この近似を**グラジュアルチャネル近似**と呼ぶ．この近似の下でソース–ドレーン間に電圧を掛けたときの，電圧–電流の式を解析的に求めることができる．

ある電界強度 E の下でのキャリヤの平均移動速度 v が

$$v = \mu(E) \cdot E \tag{1.9}$$

で与えられるものとする．$\mu(E)$ を**移動度**と呼ぶ．最も簡単なモデルでは「速度は電界 E に比例する」とする．このとき移動度は定数となる．チャネルの x での x 方向の電界強度は（$-dV(x)/dx$）である．定常状態では電流はチャネルの至るところで一定（電流連続）である．電流は v と Q_c，デバイスの奥行 W の積で与えられる．したがって，ドレーン–ソース間を流れる電流 I_{DS} は，次式で与えられることが分かる．

$$\begin{aligned} I_{DS} &= vQ_cW \\ &= -\mu(E)\frac{dV(x)}{dx}W\left\{-C_o(V_g - V(x)) + \sqrt{2\varepsilon_{\mathrm{Si}}qN_a(V(x) - V_b)}\right\} \end{aligned} \tag{1.10}$$

式 (1.9) は非線形微分方程式であり，一般には解析解を得ることは困難であるが，$\mu(E)$ が定数である場合や，以下の例のように特殊な場合には解析的に解くことができる．いま，$\mu(E)$ が

$$\mu(E) = \frac{\mu_0}{1 + \dfrac{\mu_0}{v_{\max}}|E|} \tag{1.11}$$

の関数で与えられる場合を考える．ここで，$v_{\max}$ は強電界による移動度の飽和現象を表す定数で**飽和速度**と呼ばれ，μ_0 は低電界下における移動度を与える．式 (1.9) と式 (1.11) よりキャリヤ速度は $v_{\max}$ を超えないことが分かる．式 (1.10) と式 (1.11) により，$V(x)$ に関する微分方程式が，$|E| = dV(x)/dx$ に注意して，次式のように得られる．

$$I_{DS}\left(1 + \frac{\mu_0}{v_{\max}}\frac{dV(x)}{dx}\right) = \mu_0\frac{dV(x)}{dx}W\left\{C_o(V_g - V(x)) - \sqrt{2\varepsilon_{\mathrm{Si}}qN_a(V(x) - V_b)}\right\} \tag{1.12}$$

先に述べたように I_{DS} は x によらず一定である．式 (1.12) の両辺をそれぞれ x について積分する．チャネルを $x = 0$ から L とすると，次式が得られる．

$$\begin{aligned} &I_{DS}\left\{L + \frac{\mu_0}{v_{\max}}(V(L) - V(0))\right\} \\ &= \mu_0 W \int_0^L \frac{dV(x)}{dx}\left\{C_o(V_g - V(x)) - \sqrt{2\varepsilon_{\mathrm{Si}}qN_a(V(x) - V_b)}\right\} dx \end{aligned}$$

索　　引

【あ】

後工程 …… 45

【い】

移動度 …… 7
インバータ …… 18
インバータ型回路 …… 18
インバータ遅延時間 …… 26

【う】

ウェーハ工程 …… 45
ウェル …… 49

【え】

エッジセンシティブフリップフロップ …… 132
エッジトリガ型フリップフロップ …… 132
エレクトロマイグレーション …… 80

【か】

可観測性 …… 190
可制御性 …… 190
ガードリング …… 73
簡約化 BDD …… 118

【き】

幾何学的設計規則 …… 63
擬似 nMOS 回路 …… 110
機能モジュール …… 176
揮発性メモリ …… 135
基板コンタクト …… 72
基本回路 …… 176
基本素子 …… 176
キャリーセーブ …… 160
キャリー先見加算器 …… 156
近接露光方式 …… 47

【く】

グラジュアルチャネル近似 …… 7
クロスバ型バレルシフタ …… 165
クロックト CMOS …… 107

【け】

ゲート遅延のマクロモデル …… 38

【こ】

高位合成 …… 178
コンタクト露光方式 …… 47

【さ】

最小項 …… 149
最適分割 …… 41
サイリスタ構造 …… 74
雑音余裕 …… 20
サブスレショルドスロープ …… 15
サブスレショルド定数 …… 15
サブスレショルド電流 …… 14

【し】

しきい電圧 …… 2
自己整合技術 …… 51
システム …… 176
システム LSI …… 176
シート抵抗 …… 77
集積回路 …… 1
縮小投影露光方式 …… 47
準安定状態 …… 129
順序回路 …… 152
処理ユニット …… 176
シングルダマシン工程 …… 53
信号回復機能 …… 20

【す】

スイング …… 15
スタティック型記憶回路 …… 123, 128
スタティック型ゲート回路 …… 111
スタティック雑音余裕 …… 139
スタティック消費電力 …… 30
スタティック CMOS 回路 …… 111
ステッパ …… 47
スルーホール …… 53
スレーブ …… 132

【せ】

製造後設計検証 …… 190
設計規則 …… 63
設計知財 …… 175
設計ライブラリ …… 175
セットアップ時間 …… 126
セットアップ時間エラー …… 127
セミカスタム設計 …… 177
線形領域 …… 9
センスアンプ …… 134

【そ】

相補型の回路 …… 17
ソース・ドレーン領域 …… 51
ソフトエラー …… 126

【た】

大規模集積回路 …… 1
対称関数 …… 87
対称性 …… 87
ダイナミック型記憶回路 …… 123
ダイナミック型ゲート回路 …… 110
ダイナミック記憶 …… 107
ダイナミック消費電力 …… 30
多数決関数 …… 87
立上り時間 …… 24
立下り時間 …… 24
ダマシン工程 …… 52

【ち】

チャネル生成 …… 4

【つ】

ツインウェル技術 …… 54
ツリーネットワーク …… 35

【て】

デザインルール …… 63
データパスコンパイラ …… 186
デバイスパラメータ …… 63
デュアルダマシン工程 …… 52
電界効果トランジスタ …… 1

電荷再配分問題 …… 112
電気的故障 …… 190
電気的特性パラメータ …… 63
電子線露光方式 …… 48
電子走行時間 …… 25
伝送ゲート …… 105

【と】

投影露光方式 …… 47
等価駆動抵抗 …… 28
等価線形抵抗 …… 23
同　期 …… 181
動作記述 …… 178
動的周波数制御 …… 189
動的電圧周波数制御 …… 190
動的電圧制御 …… 189
等電位領域 …… 40
トランジスタゲイン …… 21
トランスミッションゲート …… 105
ドレーン …… 3
ドレーン誘導バリヤ低減定数 …… 15

【ね】

ネガレジスト …… 48

【の】

ノイズマージン …… 20

【は】

バイアス効果係数 …… 10
配線固有遅延 …… 40
配線遅延 …… 40
排他的論理和 …… 88
バイポーラトランジスタ …… 1
パッシベーション …… 53
ハードウェア記述言語 …… 177
反転電圧 …… 2

【ひ】

ビット線 …… 134
非比率型論理 …… 110
標準セルライブラリ …… 180
比率型論理 …… 110
ピンチオフ点 …… 11
ピンチオフ電圧 …… 9, 11

【ふ】

ファネルシフタ …… 165
ファンアウト係数 …… 24, 38
フィールド酸化膜 …… 3, 51
フェイスダウンボンディング …… 58
不揮発性記憶回路 …… 123
不揮発性メモリ …… 135
複合ゲート …… 95
部分積 …… 159
フラッシュメモリ …… 135
プリチャージ …… 110
ブリッスルブロック …… 186
フルカスタム設計 …… 176
フロアプラン …… 179
フロアプランニング …… 179

【ほ】

飽和速度 …… 7
飽和電圧 …… 11
飽和領域 …… 9
保護膜 …… 53
ポジレジスト …… 48
ホールド時間 …… 126
ホールド時間エラー …… 127
ボンディングパッド …… 57

【ま】

前工程 …… 45
マスク ROM …… 135
マスタ …… 132
マスタ・スレーブ構成 …… 132
マルチチップモジュール …… 59

【み】

溝分離 …… 49

【め】

メタステーブル状態 …… 129
メモリコンパイラ …… 186

【ゆ】

有限状態機械 …… 153

【ら】

ラッチアップ現象 …… 75
ランダムアクセスメモリ …… 135

【り】

リテラル …… 96
リードオンリーメモリ …… 135
リプルキャリー加算器 …… 155
リフレッシュ動作 …… 127

【れ】

レ　ゴ …… 186
レジスタ …… 166
レチクル …… 47
レベルキーパー …… 113
レベルセンシティブ型 …… 132
レベルトリガ型 …… 132
連想メモリ …… 145

【ろ】

ロジックインメモリ …… 145
論理合成 …… 178

【わ】

ワード線 …… 134
ワイヤボンディング …… 57

【A】

ASIC …… 176

【B】

BJT …… 1

【C】

CAM …… 145
CLA …… 156
CMOS …… 17
CMP 工程 …… 53
CPL …… 119
CVSL 型ドミノゲート …… 117
C. Mead の e 倍の定理 …… 32
C^2MOS …… 107

【D】

DFS …… 190
DRC …… 188
DVFS …… 190
DVS …… 189

【E】

EEPROM …… 135, 138
EPROM …… 135
ERC …… 189
ESD …… 81

【F】

FET …… 1
FPGA …… 102
FSM …… 153

【H】

HDL ……177

【I】

IC ……1
IP ……175

【L】

LSI ……1
LVS ……189

【M】

MAJOR ゲート ……87
MCM ……59
MLL ……48
MOS ……1
MOSFET ……1

【N】

n 型反転 ……2
nMOSFET ……3

【O】

OPC ……48

【P】

p 型反転 ……2
PLA ……148
pMOSFET ……3
PROM ……135

【R】

RAM ……135
RCA ……155
ROBDD ……118
ROM ……135
RRAM ……145

【S】

SA ……134
SIP ……59
SNM ……139
SoC ……176
SOI ……55
SOI 技術 ……55
SPICE ……177
SR フリップフロップ ……130
SR ラッチ ……130
STI ……49

【T】

TSV ……59

【ギリシャ文字】

λ グリッド ……66
λ ルール ……66

【数　字】

1 線式論理 ……116
2 線式論理 ……116
3 重ウェル構造 ……55

—— 著者略歴 ——

浅田　邦博（あさだ　くにひろ）
1980 年　東京大学大学院工学系研究科博士課程修了（電子工学専攻）
　　工学博士（東京大学）
現在，東京大学教授

集積回路設計
Integrated Circuit Design

© 一般社団法人　電子情報通信学会　2015

2015 年 2 月 27 日　初版第 1 刷発行

検印省略

編　　者　一般社団法人
　　電子情報通信学会
　　http://www.ieice.org/
著　　者　浅　田　邦　博
発 行 者　株式会社　コロナ社
　　代 表 者　牛来真也

112–0011　東京都文京区千石 4–46–10
発行所　株式会社　コ　ロ　ナ　社
CORONA PUBLISHING CO., LTD.
Tokyo Japan　　Printed in Japan
振替 00140–8–14844・電話(03)3941–3131(代)

http://www.coronasha.co.jp

ISBN 978–4–339–01847–9
印刷：三美印刷／製本：愛千製本所

本書のコピー，スキャン，デジタル化等の無断複製・転載は著作権法上での例外を除き禁じられております。購入者以外の第三者による本書の電子データ化及び電子書籍化は，いかなる場合も認めておりません。
落丁・乱丁本はお取替えいたします