

『Verilog HDLで学ぶコンピュータアーキテクチャ』 正誤表

このたびはお買い上げ誠にありがとうございます。本書には、下記のような誤記がありました。お詫びして訂正いたします。 (コロナ社)

ページ	箇所	誤	正
87	コード5.6, 3行目	module SHIFT_REG_sim.v(module SHIFT_REG_sim(
107	コード6.1, 14行目	assign overflow = ...	assign OVERFLOW = ...

①

最新の正誤表がコロナ社ホームページにある場合がございます。下記URLにアクセスして[キーワード検索]に書名を入力して下さい。
<https://www.coronasha.co.jp>